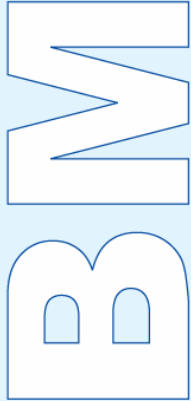




MiDAS Family

BM-MiDAS2.1-korean-V1.8



Brief Manual of MiDAS2.1 Family

FLASH / ISP / IAP 8-bit Turbo Microcontrollers

V1.8

April 2008

- ◆ CORERIVER Semiconductor reserves the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time.
- ◆ CORERIVER shall give customers at least a three month advance notice of intended discontinuation of a product or a service through its homepage.
- ◆ Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete.
- ◆ The CORERIVER products listed in this document are intended for usage in general electronics applications. These CORERIVER products are neither intended nor warranted for usage in equipment that requires extraordinarily high quality and/or reliability or a malfunction or failure of which may cause loss of human life or bodily injury.

목 차

1. 제품 개요

2. 특징들

3. 블록 도표

4. Pin 구성

5. Pin 설명

6. 기능 설명

✓ CPU 설명

- Memory 구조
- SFR Map and Description
- Instruction Set Summary
- CPU Timing

✓ 주변회로 설명

- I/O Ports
- LVD (Low Voltage Detector)
- WDT (Watchdog Timer)
- Timer0/1/2
- UART (Universal Async. RX/TX)
- PWM (Pulse Width Modulator)
- ADC
- I²C
- Interrupt
- Reset Circuit
- Clock Circuit
- Power Management
- FLASH ISP/IAP

7. 전통적 80C52에 대해서 강점

8. 전원 전압 상승 기울기

9. 절대 최대 동작 범위

10. DC 특성

11. AC 특성

12. ADC 특성

13. Package Dimensions

14. Product Numbering System

15. Supporting Tools

◆ Appendix

- A. Instruction Set
- B. SFR Descriptions
- C. Update History

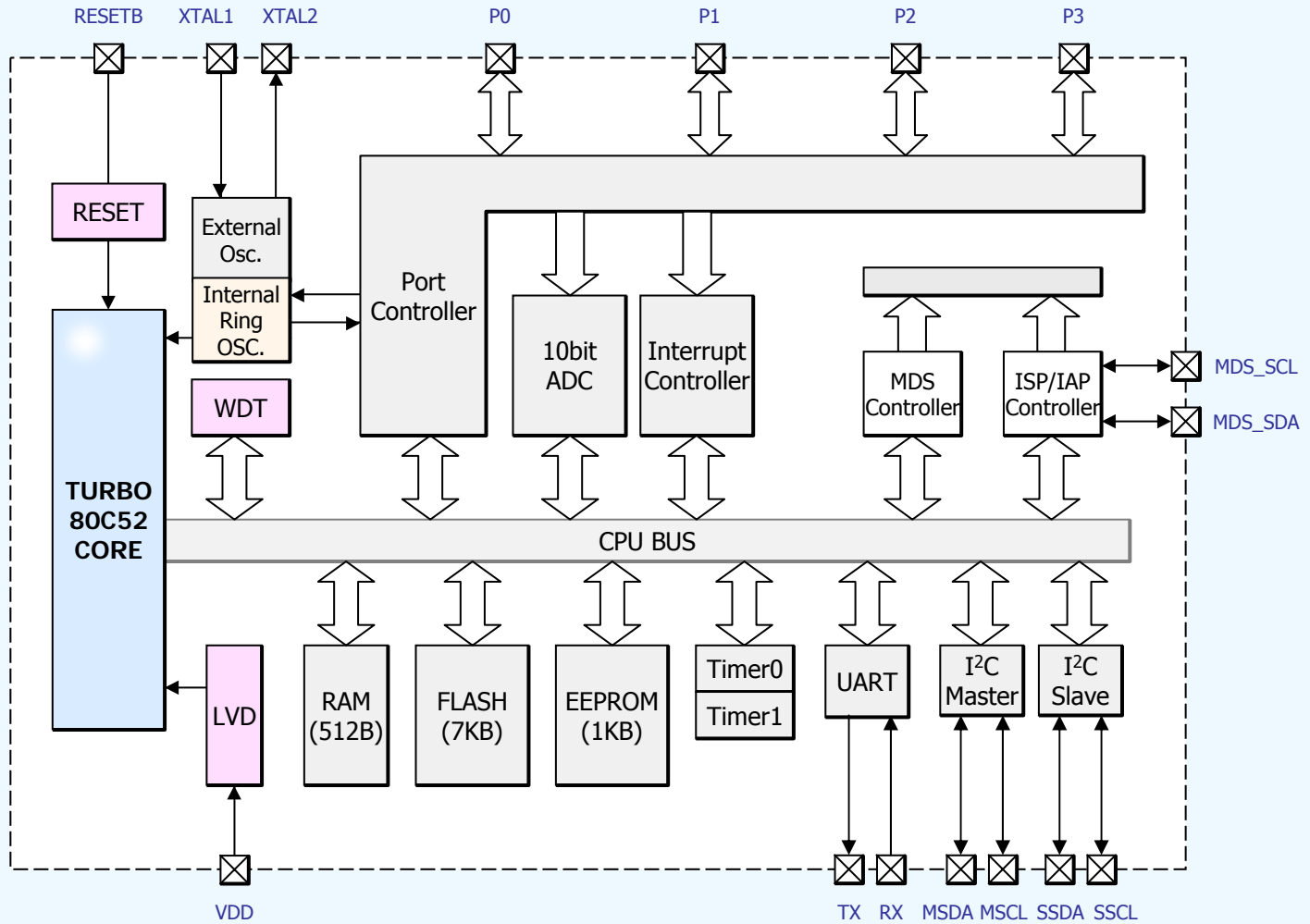
1. 제품 개요

- ◆ **CORERIVER MiDAS2.1** 제품군은 고속의 **80C52** 호환 마이크로컨트롤러들이다.
- ◆ 명령어 수행은 전통적 **80C52**보다 최대 **3배 빠르다**.
 - ✓ 1 기계어 주기 = 4 클럭 주기 vs. 12 클럭 주기
- ◆ **MiDAS2.1** 제품군의 부가 주변회로들:
 - ✓ 10 bit ADC / 8-bit PWM / I²C / UART / WDT / LVD / POR.
- ◆ 전력 절감 모드들
- ◆ 잡음 저항성 방안
- ◆ 플래시 메모리의 **ISP / IAP**를 지원한다.
- ◆ 하드웨어 디버깅 엔진을 칩에 장착하여 **사용자에게 편리한 MDS** 환경을 제공한다.
- ◆ **사용하기 쉬운 training-kit** 시스템을 제공한다.

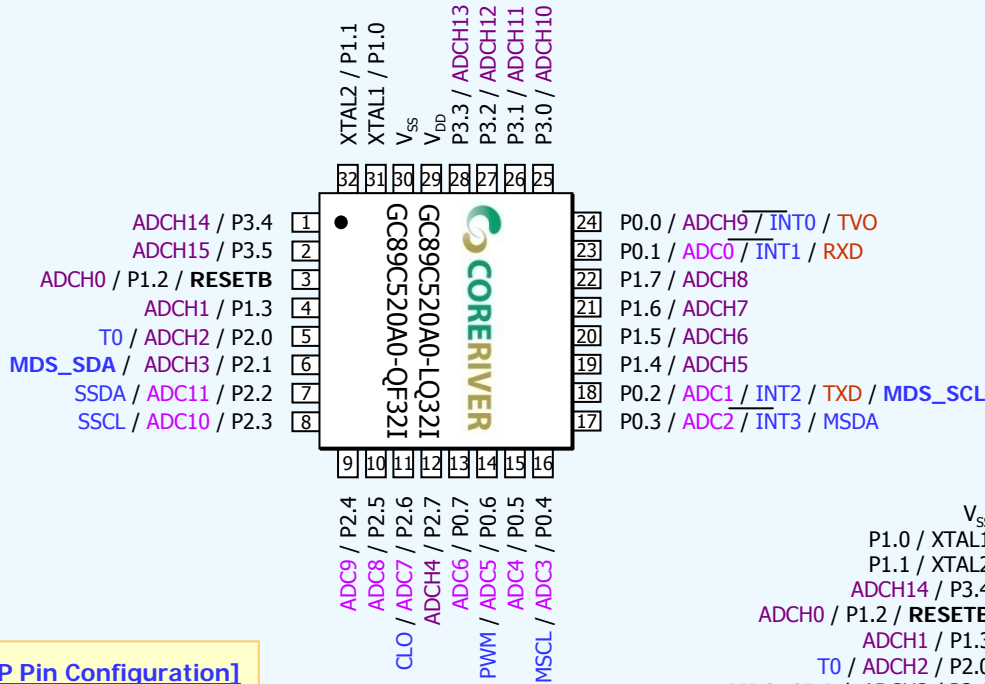
2. 특징

- ◆ CPU
 - ✓ 8-비트 터보80C52 구조
 - ✓ 4 클럭 주기 /1 기계어 주기
 - ✓ Intel 80C52과 명령어 수준 호환
- ◆ 7 KBytes FLASH + 1 KByte User EEPROM
- ◆ 512 Bytes RAM
- ◆ 동작 전압: 2.2V ~ 5.5V
- ◆ 동작 주파수
 - ✓ 최대 20MHz @4.5V ~ 5.5V
 - ✓ 최대 12MHz @2.2V ~ 3.3V
- ◆ 동작 온도: -40 °C to 120 °C
- ◆ 최대 30개의 프로그램가능 I/O Pins
 - ✓ Pull-up 제어, Open drain, Push-Pull 출력
- ◆ TTL 와 CMOS 호환 논리 레벨
- ◆ 저전압 검출회로
- ◆ 내부 링 오실레이터. : 12MHz@3V(+/-1%)
- ◆ 28-채널 10-비트 ADC
 - ✓ 최대 100KSPS (@F_{ADC} = 10 MHz)
 - ✓ 프로그램 가능 입력 클럭 주파수
- ◆ 2개의 16-비트 Timer/Counter
- ◆ 1-채널 8-비트 고속 PWM
- ◆ 16-비트 프로그램 가능 Watchdog Timer
- ◆ I²C Master / Slave
- ◆ 13개의 인터럽트 발생원
 - ✓ Timer0/1, UART, WDT, PWM, LVD, ADC, 2-I²C, & 4 외부
 - ✓ 두 단계 인터럽트 우선순위
- ◆ Reset 방안
 - ✓ 칩 내부 power-on-reset
 - ✓ 외부 reset
 - ✓ 저전압 검출회로 reset
 - ✓ Watchdog timer reset
- ◆ 전력 소모
 - ✓ active 전류 : 최대 8mA @3V, 12MHz
 - ✓ idle 전류 : 최대3mA @3V, 12MHz
 - ✓ stop 전류 : 보통 < 0.1uA @2.2V
최대 1uA @ 5V
- ◆ E.S.D. Protection: 2,000V까지
- ◆ Latch-up Protection: ±200mA까지
- ◆ 패키지: 32-LQFP(TQFP) / 28-SOIC / 32-QFN

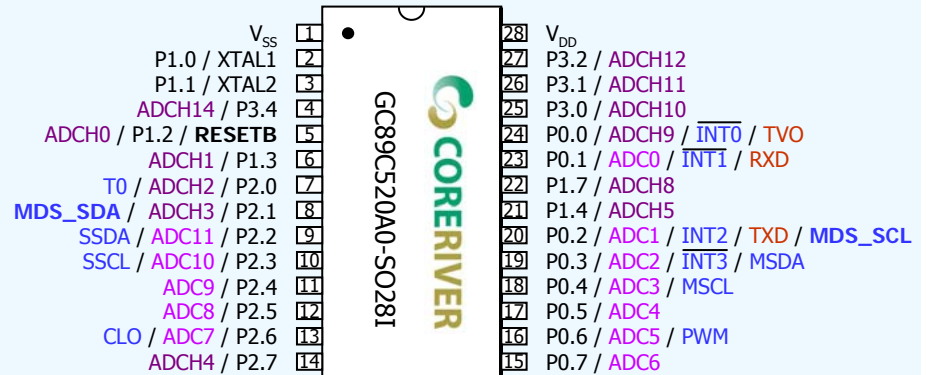
3. 블록도표



4. Pin 구성



[32-LQFP / 32-QFN]



[28-SOIC]

[ISP Pin Configuration]

- V_{DD} (+3.3V)
- V_{SS} (GND)
- MDS_SCL (P0.2)
- RESETB (P1.2)
- MDS_SDA (P2.1)

- ◆ If the operating voltage of target board is +5V, don't connect V_{DD} cable pin of GenICE52 equipment.
- ◆ Please, individually supply the voltage (+5V) to target board.
- ◆ The other cable pins of GenICE52 are +5V compatible.

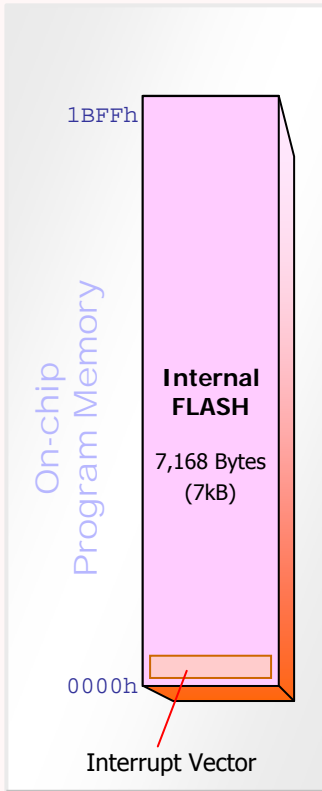
5. Pin 설명

기호	방향	설명	공유 Pins
V_{DD}	입력	전원	-
V_{SS}	입력	접지	-
XTAL1 / P1.0	입출력	<ul style="list-style-type: none"> Crystal Input/Output (기본지정) Schmitt Trigger 입력, 비트별 프로그램 가능 <ul style="list-style-type: none"> Pull-up ON/OFF 가능 출력 방식 Open-drain/Push-pull 선택 	XTAL1 / P1.0 (Crystal Input)
XTAL2 / P1.1			XTAL2 / P1.1 (Crystal Output)
RESETB / P1.2	입출력	<ul style="list-style-type: none"> 외부 Reset 입력 신호 (기본지정) 비트별 프로그램 가능 <ul style="list-style-type: none"> Pull-up ON/OFF 가능 출력 방식 Open-drain/Push-pull 선택 	RESETB / P1.2 / ADCH0
P1[7:3]	입출력	<ul style="list-style-type: none"> Schmitt Trigger 입력, 비트별 프로그램 가능 <ul style="list-style-type: none"> Pull-up ON/OFF 가능 출력 방식 Open-drain/Push-pull 선택 Push-pull 출력 방식 (기본지정) 	P1.3 / ADCH1 P1.4 / ADCH5 P1.5 / ADCH6 P1.6 / ADCH7 P1.7 / ADCH8
P0[7:0]	입출력	<ul style="list-style-type: none"> Schmitt Trigger 입력, 비트별 프로그램 가능 <ul style="list-style-type: none"> Pull-up ON/OFF 가능 출력 방식 Open-drain/Push-pull 선택 Push-pull 출력 방식 (기본지정) 	P0.0 / ADCH9 / INT0 / TVO P0.1 / ADC0 / INT1 / RXD P0.2 / ADC1 / INT2 / TXD / MDS_SCL P0.3 / ADC2 / INT3 / MSDA P0.4 / ADC3 / MSCL P0.5 / ADC4 P0.6 / ADC5 / PWM P0.7 / ADC6

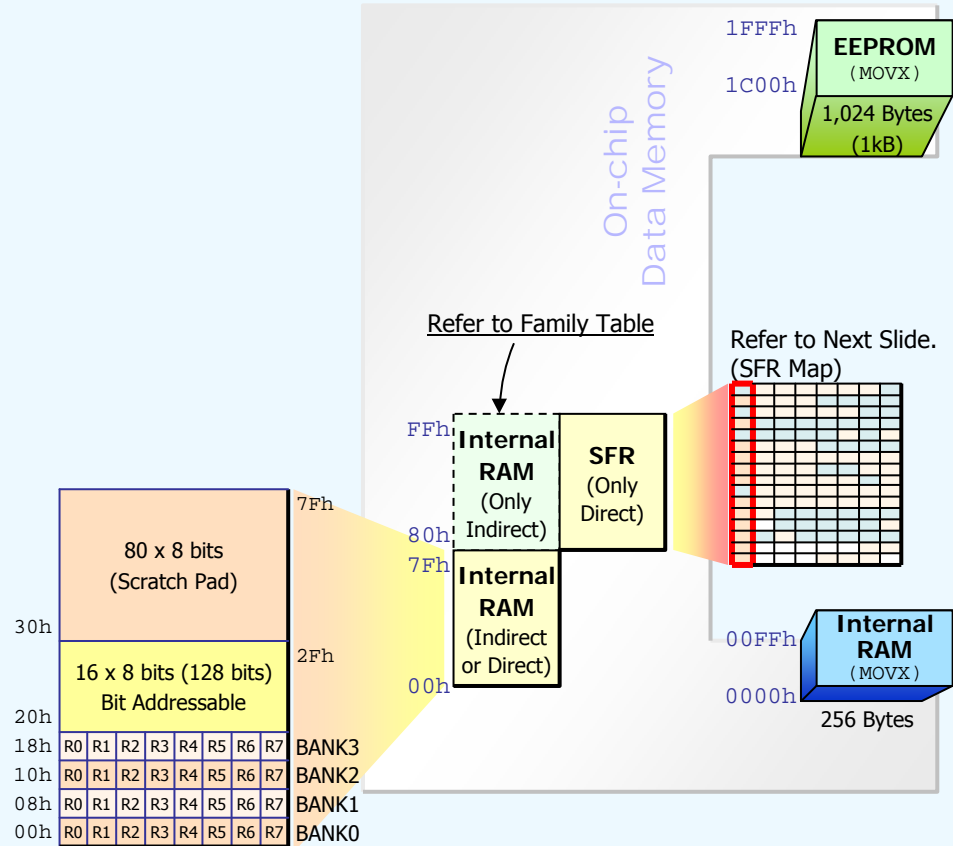
5. Pin 설명 (계속)

Symbol	Direction	Description	Share Pins
P2[7:0]	입출력	<ul style="list-style-type: none"> ▪ Schmitt Trigger 입력, 비트별 프로그램 가능 - Pull-up ON/OFF 가능 - 출력 방식 Open-drain/Push-pull 선택 - Push-pull 출력 방식 (기본지정) 	P2.0 / ADCH2 / T0 P2.1 / ADCH3 / MDS_SDA P2.2 / ADC11 / SSDA P2.3 / ADC10 / SSCL P2.4 / ADC9 P2.5 / ADC8 P2.6 / ADC7 / CLO P2.7 / ADCH4
P3[5:0]	입출력	<ul style="list-style-type: none"> ▪ Schmitt Trigger 입력, 비트별 프로그램 가능 - Pull-up ON/OFF 가능 - 출력 방식 Open-drain/Push-pull 선택 - Push-pull 출력 방식 (기본지정) 	P3.0 / ADCH10 P3.1 / ADCH11 P3.2 / ADCH12 P3.3 / ADCH13 P3.4 / ADCH14 P3.5 / ADCH15

6.1. Memory 구조



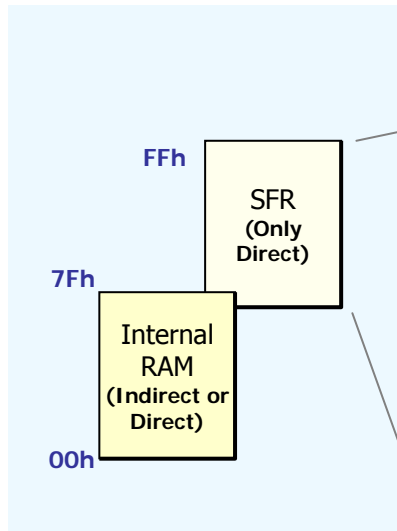
[On-chip Program Memory]
(Read/Write with IAP)



[On-chip Data Memory]
(Read and Write)

◆ User can write the data to FLASH or EEPROM with IAP (In-Application Programming).

6.2. SFR (Special Function Register) Map



Bit addressable

Legend:
 : Newly added SFR at MiDAS2.1 Family
 : Reserved for future use.

F8h	EIP							EEAEN	FFh
F0h	B				P0DIR	P1DIR	P2DIR	P3DIR	F7h
E8h	EIE						ADCR	ADCON	EFh
E0h	ACC	ADCSELH	ADCSEL	ALTSEL	P0SEL	P1SEL	P2SEL	P3SEL	E7h
D8h	WDCON	ADCHL	ADCHH	ADCHSEL	PWMCON		PWMD		DFh
D0h	PSW				P0TYPE	P1TYPE	P2TYPE	P3TYPE	D7h
C8h									CFh
C0h					PMR	STATUS			C7h
B8h	IP						OSCICN		BFh
B0h	P3								B7h
A8h	IE								AFh
A0h	P2		I2C_MCON	I2C_MDEV	I2C_MADR	I2C_MNUM	I2C_MSCL	I2C_MSCH	A7h
98h	SCON	SBUF	I2C_SCON	I2C_SDEV	I2C_SADR	I2C_DAT	I2C_MDAT		9Fh
90h	P1	EXIF			CLKOFF	RINGCON	LVDCON	LVDST	97h
88h	TCON	TMOD	TL0	TL1	TH0	TH1			8Fh
80h	P0	SP	DPL	DPH				PCON	87h

6.2. SFR에 대한 간략한 설명

◆ 80C52 SFR Registers

Register	Name	Reset Value
ACC B PSW SP	Accumulator B Program Status Word Stack Pointer	00000000 00000000 00000000 00001111
DPTR DPL DPH	Data Pointer (2 bytes) Low Byte High Byte	00000000 00000000
P0 P1 P2 P3	Port 0 Port 1 Port 2 Port 3	11111111 11111111 11111111 **111111
IP IE	Interrupt Priority Interrupt Enable Control	10*00000 00*00000
TCON TMOD	Timer/Counter 0/1 Control Timer/Counter 0 Mode Control	00000000 ****0000
TH0 TL0 TH1 TL1	Timer/Counter 0 High Byte Timer/Counter 0 Low Byte Timer/Counter 1 High Byte Timer/Counter 1 Low Byte	00000000 00000000 00000000 00000000
SCON SBUF	Serial Control Serial Buffer	***0**00 00000000
PCON	Power Control	0**10000

◆ Newly added SFR Registers at MiDAS2.1 Family

Register	Name	Reset Value
POSEL P1SEL P2SEL P3SEL	Port 0 Pull-up Control Port 1 Pull-up Control Port 2 Pull-up Control Port 3 Pull-up Control	00000000 00000011 00000000 **000000
P0TYPE P1TYPE P2TYPE P3TYPE	Port 0 Type Control Port 1 Type Control Port 2 Type Control Port 3 Type Control	00000000 00000000 00000000 **000000
P0DIR P1DIR P2DIR P3DIR	Port 0 Input/Output Control Port 1 Input/Output Control Port 2 Input/Output Control Port 3 Input/Output Control	11111111 11111111 11111111 **111111
ALTSEL	Alternative Function Control	000000**
PWMCON PWMD	PWM Control PWM Duty Data	0000*000 00000000
ADCON ADCR ADCSEL ADCSELH ADCHL ADCHH ADCHSEL	ADC Control & ADC Result Low ADC Result High ADC Channel Selection Low and MUX Selection ADC Channel Selection High ADC High Channel Selection High ADC High Channel Selection Low ADC High Channel Selection	0010*000 00000000 11111111 11111111 11111111 11111111 0***0000
EAAEN	EEPROM Access Enable	*****0

* : Don't touch bit.

6.2. SFR에 대한 간략한 설명 (계속)

◆ Newly added SFR Registers at MiDAS2.1 Family (Cont'd)

Register	Name	Reset Value
WDCON	Watchdog Timer Control	11010000
PMR	Power Management Control	****0***
EXIF	Added External Interrupt and LVD Control	**000101
EIP	Extended Interrupt Priority	**00**00
EIE	Extended Interrupt Enable	**00**00
STATUS	Crystal Status	***0****
OSCICN	Internal Ring Oscillator Control	****1100
CLKOFF	Clock Control for Minimizing Power Consumption	**00*000
RINGCON	Internal Ring Oscillator Tuning	01100000
LVDCON	Power Fail Interrupt Source Selection	*****000
LVDST	Current Power Supply Status	00000000
I2C_MCON	I ² C Master Control	***00000
I2C_MDEV	I ² C Master Device Address	00000000
I2C_MADR	I ² C Master Memory Address	00000000
I2C_MNUM	I ² C Master Multi-byte Number	00000000
I2C_MSCL	I ² C Master Clock Scale Factor Low Byte	00000000
I2C_MSCH	I ² C Master Clock Scale Factor High Byte	00000000
I2C_MDAT	I ² C Master Data	00000000
I2C_SCON	I ² C Slave Control	*000*000
I2C_SDEV	I ² C Slave Device Address	00000000
I2C_SADR	I ² C Slave Memory Address	00000000
I2C_SDAT	I ² C Slave Data	00000000

* : Don't touch bit.

6.3. Instruction Set Summary

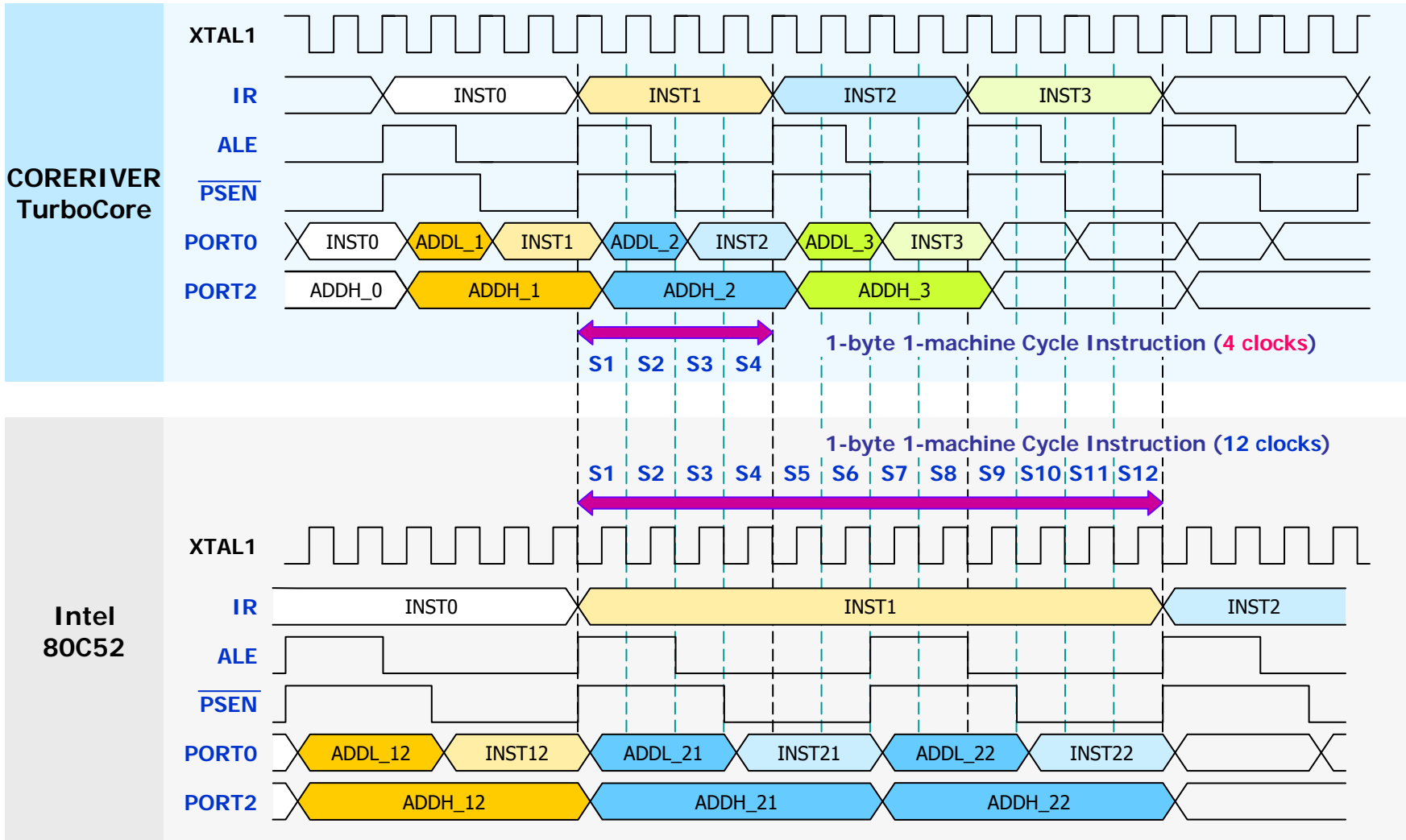
- ◆ Refer to Appendix A (Instruction Set) for more details.

Type	Instruction	Description
Arithmetic	ADD	Addition
	ADDC	Addition with Carry
	SUBB	Subtraction with Borrow
	INC	Increment
	DEC	Decrement
	MUL	Multiply
	DIV	Divide
	DA	Decimal Adjust
Logical	ANL	AND
	ORL	OR
	XRL	Exclusive OR
	CLR	Clear
	CPL	Complement
	RL	Rotate Left
	RLC	Rotate Left with Carry
	RR	Rotate Right
	RRC	Rotate Right with Carry
SWAP	Swap Nibbles	
Data Transfer	MOV	Move Data
	MOVC	Move Code
	MOVX	Move Data to Ext. RAM
	PUSH	PUSH
	POP	POP
	XCH	Exchange
	XCHD	Exchange Low-digit

Type	Instruction	Description
Boolean	CLR	Clear bit
	SETB	Set bit
	CPL	Complement bit
	ANL	AND bit
	ORL	OR bit
	MOV	Move bit
	JC	Jump if Carry is set
	JNC	Jump if Carry is not set
	JB	Jump if bit is set
JNB	Jump if bit is not set	
JBC	Jump if bit is set & clear	
Branch	ACALL	Absolute Call
	LCALL	Long Call
	RET	Return from Subroutine
	RETI	Return from Interrupt
	AJMP	Absolute Jump
	LJMP	Long Jump
	SJMP	Short Jump
	JMP	Jump with DPTR
	JZ	Jump if ACC is zero
	JNZ	Jump if ACC is not zero
	CJNE	Compare and Jump if not equal
DJNZ	Decrement and Jump if not zero	
NOP	No Operation	

6.4. CPU Timing

◆ Comparative timing of the MiDAS2.1 family and Intel 80C52



6.4. CPU Timing : 실행 시간표

- ◆ 세계에서 가장 빠른 명령어 수행

명령어	Turbo Core (CORERIVER)	W77C32 (Winbond)	DS80C320 (Maxim)	87C52 (Intel)
MUL AB DIV AB	12 clocks	20 clocks	20 clocks	48 clocks
MOVC A, @A+PC MOVC A, @A+DPTR	8 clocks	8 clocks	12 clocks	24 clocks
JMP @A+DPTR	8 clocks	8 clocks	12 clocks	24 clocks
RET RETI	8 clocks	8 clocks	16 clocks	24 clocks
INC DPTR DEC DPTR	4 clocks 4 clocks	8 clocks 8 clocks	12 clocks Not exist	24 clocks Not exist
Others	Same	Same	Same	-

6.5. 입출력 단자: PORT0[7:0]

- ◆ 기본지정으로 Pull-up이 ON된 상태의 Push-pull 출력 방식.
- ◆ P0[7:0]가 ADC 입력으로 설정될 수 있다 : ADC6 (P0.7) ~ ADC0 (P0.1) 그리고 ADCH9 (P0.0).
- ◆ Read-Modify-Write 명령어는 단자 pin이 아니라 SFR 레지스터를 읽는다.
 - ✓ ANL / ORL / XRL / JBC / CPL / INC / DEC / DJNZ / MOV PX.Y, C / CLR PX.Y / SETB PX.Y

✓ **POTYPE (D4h)** : Port 0 출력방식 제어 레지스터

POTYPE.7	POTYPE.6	POTYPE.5	POTYPE.4	POTYPE.3	POTYPE.2	POTYPE.1	POTYPE.0
----------	----------	----------	----------	----------	----------	----------	----------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- 0 = Push-pull 출력(기본지정) / 1 = Open-drain 출력

✓ **PODIR (F4h)** : Port 0 입출력 제어 레지스터

PODIR.7	PODIR.6	PODIR.5	PODIR.4	PODIR.3	PODIR.2	PODIR.1	PODIR.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- 0 = 출력 / 1 입력 (기본지정)

✓ **POSEL (E4h)** : Port 0 Pull-up 제어 레지스터

POSEL.7	POSEL.6	POSEL.5	POSEL.4	POSEL.3	POSEL.2	POSEL.1	POSEL.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

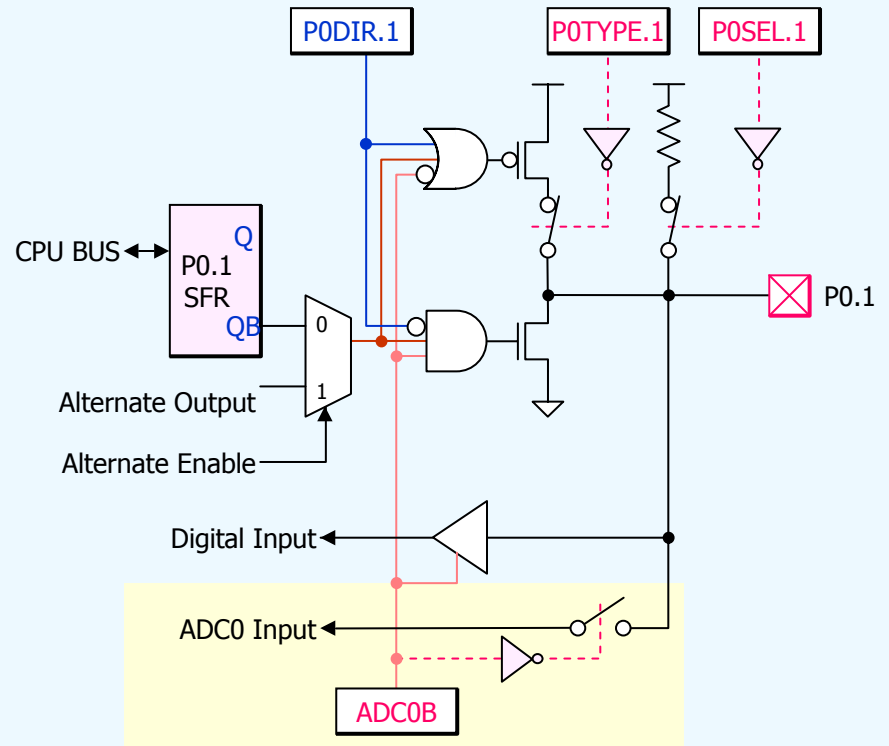
- 0 = Pull-up ON (기본지정)
- 1 = Pull-up OFF, ADC_EN (ADCON[7]) = 1일 때

✓ **P0 (80h)** : Port 0 레지스터

P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
------	------	------	------	------	------	------	------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

✓ **ADCSEL (E2h), ADCSELH (E1h), and ADCHH(DA)**
: Refer to Next Slide



6.5. 입출력 단자: PORT0[7:0] (계속)

- ✓ **ADCSEL (E2h) : ADC 채널 선택 하위 & MUX 선택**

ADC3B	ADC2B	ADC1B	ADC0B	CH3	CH2	CH1	CH0
-------	-------	-------	-------	-----	-----	-----	-----

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ADCXB = 0 : ADCX 입력 인에이블 & 디지털 입력 디세이블

- ✓ **ADCSELH (E1h) : ADC 채널 선택 상위 레지스터**

ADC11B	ADC10B	ADC9B	ADC8B	ADC7B	ADC6B	ADC5B	ADC4B
--------	--------	-------	-------	-------	-------	-------	-------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ADCXB = 0 : 입력 인에이블 & 디지털 입력 디세이블

- ✓ **ADCHH (DAh) : ADC 상위 채널 선택 상위 레지스터**

ADCH15B	ADCH14B	ADCH13B	ADCH12B	ADCH11B	ADCH10B	ADCH9B	ADCH8B
---------	---------	---------	---------	---------	---------	--------	--------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ADCHXB = 0 : 입력 인에이블 & 디지털 입력 디세이블

6.5. 입출력 단자: PORT1[1:0] (XTAL1/XTAL2)

- ◆ XTAL1/XTAL2은 입출력 단자로서 사용될 수 있다.
- ◆ Read-Modify-Write 명령어는 단자 pin이 아니라 SFR 레지스터를 읽는다.
 - ✓ ANL / ORL / XRL / JBC / CPL / INC / DEC / DJNZ / MOV PX.Y, C / CLR PX.Y / SETB PX.Y

✓ **P1TYPE (D5h)** : Port 1 출력 방식 제어 레지스터

P1TYPE.7	P1TYPE.6	P1TYPE.5	P1TYPE.4	P1TYPE.3	P1TYPE.2	P1TYPE.1	P1TYPE.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- 0 = Push-pull 출력(기본지정) / 1 = Open-drain 출력

✓ **P1DIR (F5h)** : Port 1 입출력 제어 레지스터

P1DIR.7	P1DIR.6	P1DIR.5	P1DIR.4	P1DIR.3	P1DIR.2	P1DIR.1	P1DIR.0
R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)

- 0 = 출력 / 1 = 입력 (기본지정)

✓ **P1SEL (E5h)** : Port 1 Pull-up 제어 레지스터

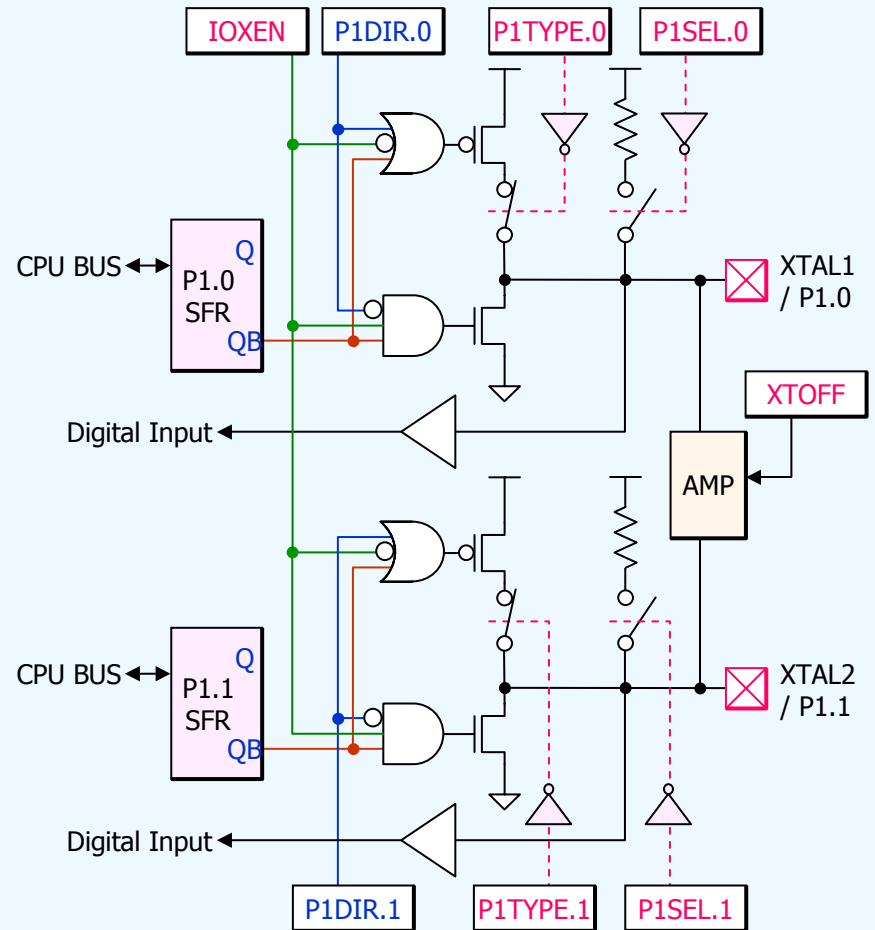
P1SEL.7	P1SEL.6	P1SEL.5	P1SEL.4	P1SEL.3	P1SEL.2	P1SEL.1	P1SEL.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(1)	R/W(1)

- 0 = Pull-up ON
- 1 = Pull-up OFF (기본지정), ADC_EN (ADCON[7]) = 1일 때

✓ **P1 (90h)** : Port 1 레지스터

P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)

✓ **ALTSEL (E3h), PMR (C4h), STATUS (C5h), and EXIF (91h)**
: Refer to Next Slide



6.5. 입출력 단자: PORT1[1:0] (XTAL1/XTAL2) (계속)

✓ ALTSEL (E3h) : Alternate 기능 제어 레지스터

IOXEN	IORSTEN	CLO	PWM00	TV0	TX	-	-
-------	---------	-----	-------	-----	----	---	---

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- IOXEN = 1 : XTAL1와 XTAL2는 입출력 단자로 사용될 수 있다.

✓ PMR (C4h) : 전력 관리 제어 레지스터

-	-	-	-	XTOFF	-	-	-
---	---	---	---	-------	---	---	---

R/W(0)

- XTOFF : 외부 crystal 오실레이터를 위한 내부 앰프 디세이블
1 = 외부 crystal 정지.
0 = 외부 crystal 동작 (기본지정).
XT/RG = 1일 때 XTOFF 비트를 1로 설정하지 말라..

✓ STATUS (C5h) : Crystal 상태 레지스터

-	-	-	XTUP	-	-	-	-
---	---	---	------	---	---	---	---

R(0)

- XTUP : Crystal oscillator 안정 상태. (외부 crystal oscillator) Crystal clock이 안정인지(1) 아닌지(0)를 나타낸다.
모든 종류의 reset 후에 하드웨어가 소거한다.
XTOFF 비트 설정 후에 하드웨어가 소거한다.
XT/RG (EXIF.3) = 1일 때 Power-down에서 깨어 나는 동안 소거됨.
크리스탈 안정 시간 후에 하드웨어가 설정함.

✓ EXIF (91h) : 외부 인터럽트 플래그 레지스터

-	-	IE3	IE2	XT/RG	RGMD	RGSL	BGS
---	---	-----	-----	-------	------	------	-----

R/W(0) R/W(0) R/W(0) R(1) R/W(0) R/W(1)

- XT/RG : 시스템 클럭 선택.
0 = 내부 링 오실레이터를 시스템 클럭으로 선택.
1 = 외부 클럭을 시스템 클럭으로 선택.

6.5. 입출력 단자: PORT1[7:2]

- ◆ 기본지정으로 Pull-up이 ON된 상태의 Push-pull 출력 방식.
- ◆ P1[7:2] 는 ADC 입력으로 사용될 수 있다: ADCH8 (P1.7) ~ ADCH5 (P1.4), ADCH1 (P1.3), and ADCH0 (P1.2).
- ◆ Read-Modify-Write 명령어는 단자 pin이 아니라 SFR 레지스터를 읽는다.
 - ✓ ANL / ORL / XRL / JBC / CPL / INC / DEC / DJNZ / MOV PX.Y, C / CLR PX.Y / SETB PX.Y

✓ P1TYPE (D5h) : Port 1 출력 방식 제어 레지스터

P1TYPE.7	P1TYPE.6	P1TYPE.5	P1TYPE.4	P1TYPE.3	P1TYPE.2	P1TYPE.1	P1TYPE.0
----------	----------	----------	----------	----------	----------	----------	----------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- 0 = Push-pull 출력 (기본지정) / 1 = Open-drain 출력

✓ P1DIR (F5h) : Port 1 입출력 제어 레지스터

P1DIR.7	P1DIR.6	P1DIR.5	P1DIR.4	P1DIR.3	P1DIR.2	P1DIR.1	P1DIR.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- 0 = 출력 / 1 = 입력 (기본지정)

✓ P1SEL (E5h) : Port 1 Pull-up 제어 레지스터

P1SEL.7	P1SEL.6	P1SEL.5	P1SEL.4	P1SEL.3	P1SEL.2	P1SEL.1	P1SEL.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(1) R/W(1)

- 0 = Pull-up ON (기본지정)
- 1 = Pull-up OFF, ADC_EN (ADCON[7]) = 1일 때

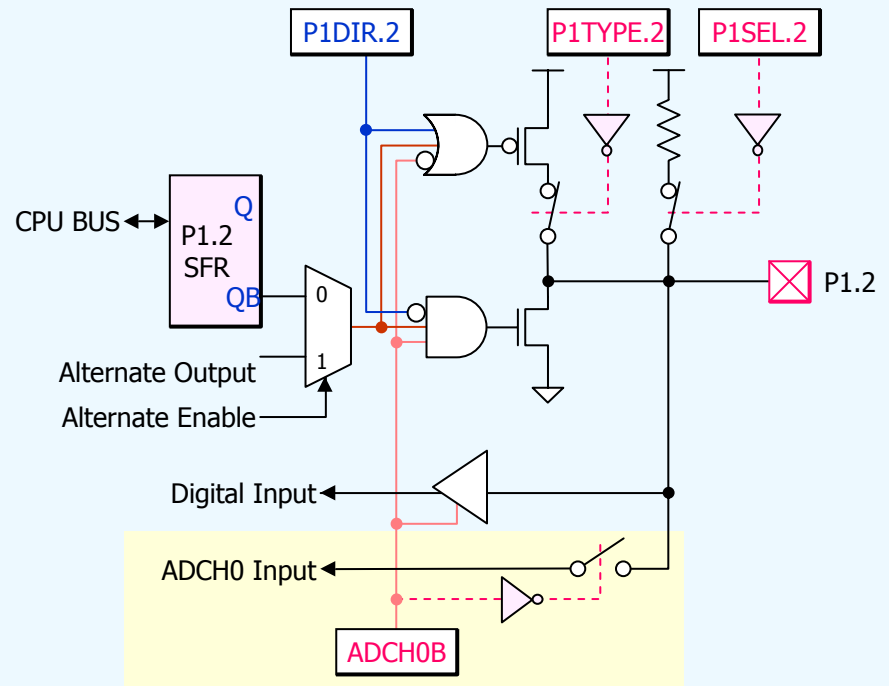
✓ P1 (90h) : Port 1 레지스터

P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
------	------	------	------	------	------	------	------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

✓ ALTSEL (E3h), ADCHL(D9h), and ADCHH (DAh)

: Refer to Next Slide



6.5. 입출력 단자: PORT1[7:2] (계속)

✓ **ALTSEL (E3h)** : Alternate 기능 제어 레지스터

IOXEN	IORSTEN	CLO	PWM00	TV0	TX	-	-
-------	---------	-----	-------	-----	----	---	---

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- IORSTEN = 1 : RESETB는 입출력 단자로 사용될 수 있다.

✓ **ADCHL (D9h)** : ADC 상위 채널 선택 하위 레지스터

ADCH7B	ADCH6B	ADCH5B	ADCH4B	ADCH3B	ADCH2B	ADCH1B	ADCH0B
--------	--------	--------	--------	--------	--------	--------	--------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ADCHXB = 0 : ADCHX 입력 인에이블 (디지털 입력 디세이블).

✓ **ADCHH (DAh)** : ADC 상위 채널 선택 상위 레지스터

ADCH15B	ADCH14B	ADCH13B	ADCH12B	ADCH11B	ADCH10B	ADCH9B	ADCH8B
---------	---------	---------	---------	---------	---------	--------	--------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ADCHXB = 0 : ADCHX 입력 인에이블 (디지털 입력 디세이블).

6.5. 입출력 단자: PORT2[7:0]

- ◆ 기본지정으로 Pull-up이 ON된 상태의 Push-pull 출력 방식.
- ◆ P2[7:0]가 ADC 입력으로도 설정된다: ADCH4 (P2.7), ADC7 (P2.6) ~ ADC11 (P2.2), ADCH3 (P2.1), 그리고 ADCH2 (P2.0).
- ◆ Read-Modify-Write 명령어는 단자 핀이 아니라 SFR 레지스터를 읽는다.
 - ✓ ANL / ORL / XRL / JBC / CPL / INC / DEC / DJNZ / MOV PX.Y, C / CLR PX.Y / SETB PX.Y

✓ **P2TYPE (D6h)** : Port 2 출력 방식 제어 레지스터

P2TYPE.7	P2TYPE.6	P2TYPE.5	P2TYPE.4	P2TYPE.3	P2TYPE.2	P2TYPE.1	P2TYPE.0
----------	----------	----------	----------	----------	----------	----------	----------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- 0 = Push-pull 출력 (기본지정) / 1 = Open-drain 출력

✓ **P2DIR (F6h)** : Port 2 입출력 제어 레지스터

P2DIR.7	P2DIR.6	P2DIR.5	P2DIR.4	P2DIR.3	P2DIR.2	P2DIR.1	P2DIR.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- 0 = 출력 / 1 = 입력 (기본지정)

✓ **P2SEL (E6h)** : Port 2 Pull-up Control Register

P2SEL.7	P2SEL.6	P2SEL.5	P2SEL.4	P2SEL.3	P2SEL.2	P2SEL.1	P2SEL.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

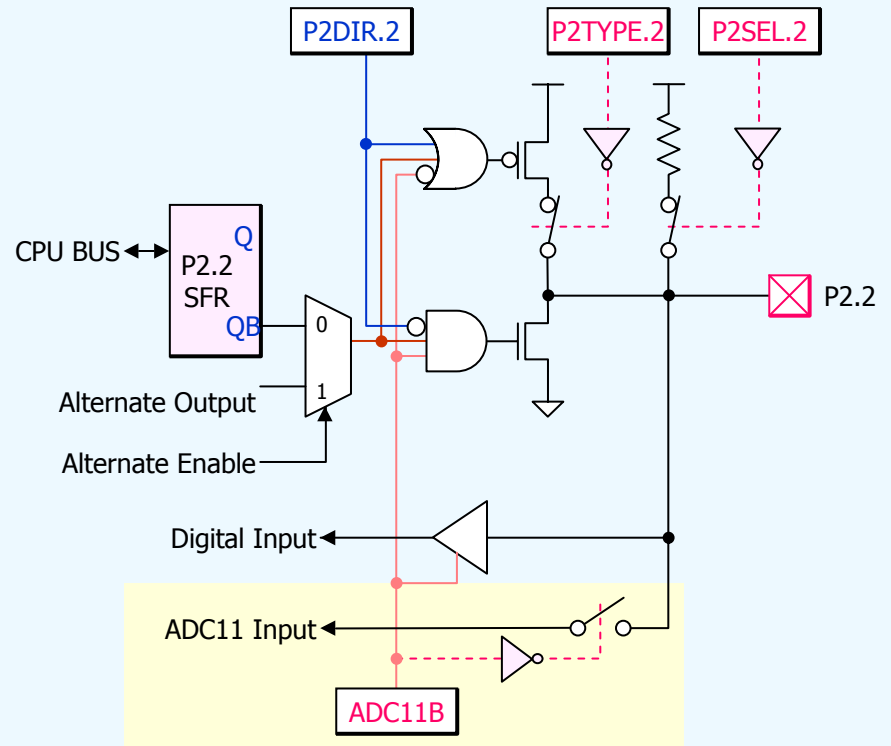
- 0 = Pull-up ON (기본지정)
- 1 = Pull-up OFF, ADC_EN (ADCON[7]) = 1일 때

✓ **P2 (A0h)** : Port 2 레지스터

P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
------	------	------	------	------	------	------	------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

✓ **ADCSELH (E1h), and ADCHL(D9)** : Refer to Next Slide



6.5. I/O Ports : PORT2[7:0] (Cont'd)

✓ ADCSELH (E1h) : ADC 채널 선택 상위 레지스터

ADC11B	ADC10B	ADC9B	ADC8B	ADC7B	ADC6B	ADC5B	ADC4B
--------	--------	-------	-------	-------	-------	-------	-------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ADCXB = 0 : ADCX 입력 인에이블 & 디지털 입력 디세이블

✓ ADCHL (D9h) : ADC 상위 채널 선택 하위 레지스터

ADCH7B	ADCH6B	ADCH5B	ADCH4B	ADCH3B	ADCH2B	ADCH1B	ADCH0B
--------	--------	--------	--------	--------	--------	--------	--------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ADCHXB = 0 : ADCHX 입력 인에이블 (디지털 입력 디세이블).

6.5. 입출력 단자 : PORT3[5:0]

- ◆ 기본지정으로 Pull-up이 ON된 상태의 Push-pull 출력 방식.
- ◆ P3[5:0]가 ADC 입력으로도 설정된다 : ADCH15 (P3.5) ~ ADCH10 (P3.0).
- ◆ Read-Modify-Write 명령어는 단자 핀이 아니라 SFR 레지스터를 읽는다.
 - ✓ ANL / ORL / XRL / JBC / CPL / INC / DEC / DJNZ / MOV PX.Y, C / CLR PX.Y / SETB PX.Y

✓ P3TYPE (D7h) : Port 3 출력 방식 제어 레지스터

-	-	P3TYPE.5	P3TYPE.4	P3TYPE.3	P3TYPE.2	P3TYPE.1	P3TYPE.0
---	---	----------	----------	----------	----------	----------	----------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- 0 = Push-pull 출력 (기본지정) / 1 = Open-drain 출력

✓ P3DIR (F7h) : Port 3 입출력 제어 레지스터

-	-	P3DIR.5	P3DIR.4	P3DIR.3	P3DIR.2	P3DIR.1	P3DIR.0
---	---	---------	---------	---------	---------	---------	---------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- 0 = 출력 / 1 = 입력 (기본지정)

✓ P3SEL (E7h) : Port 3 Pull-up 제어 레지스터

-	-	P3SEL.5	P3SEL.4	P3SEL.3	P3SEL.2	P3SEL.1	P3SEL.0
---	---	---------	---------	---------	---------	---------	---------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- 0 = Pull-up ON (기본지정)
- 1 = Pull-up OFF, ADC_EN (ADCON[7]) = 1일 때

✓ P3 (B0h) : Port 3 레지스터

-	-	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
---	---	------	------	------	------	------	------

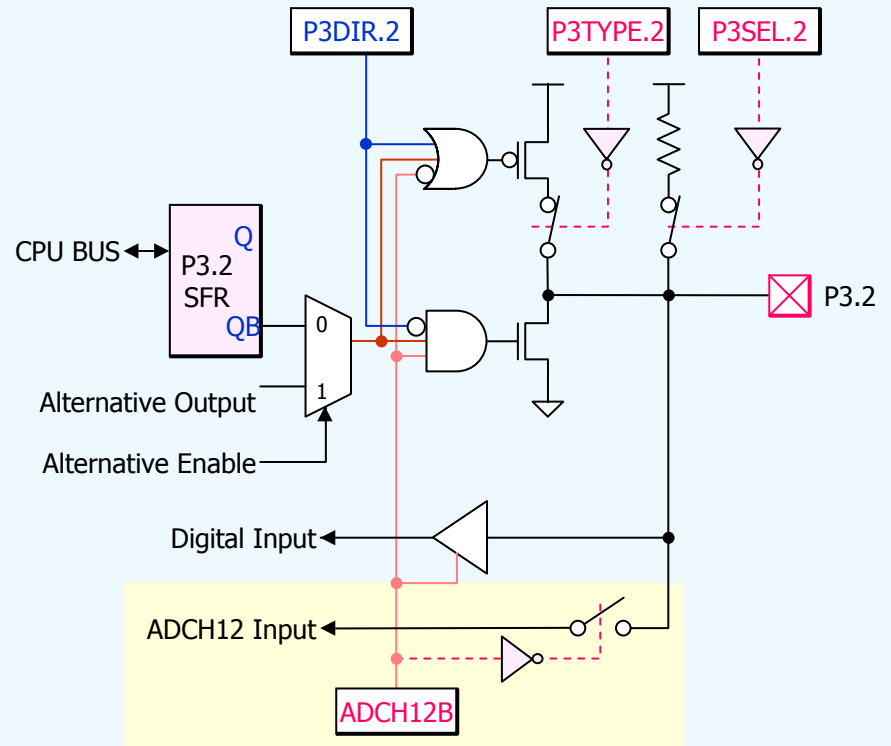
R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

✓ ADCHH (DAh) : ADC 상위 채널 선택 상위 레지스터

ADCH15B	ADCH14B	ADCH13B	ADCH12B	ADCH11B	ADCH10B	ADCH9B	ADCH8B
---------	---------	---------	---------	---------	---------	--------	--------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ADCHXB = 0 : ADCHX 입력 인에이블 (디지털 입력 디세이블).



6.6. LVD (저전압 검출회로)

◆ 칩 내부 power-on reset

✓ 2.0V

◆ 칩 내부 power-fail interrupt

✓ 2.2V / 2.4V / 2.6V / 2.8V / 3.0V / 3.2V / 3.6V / 4.0V

✓ LVDST (97h) : LVD 상태 레지스터

LVD7	LVD6	LVD5	LVD4	LVD3	LVD2	LVD1	LVD0
R(0)	R(0)	R(0)	R(0)	R(0)	R(0)	R(0)	R(0)

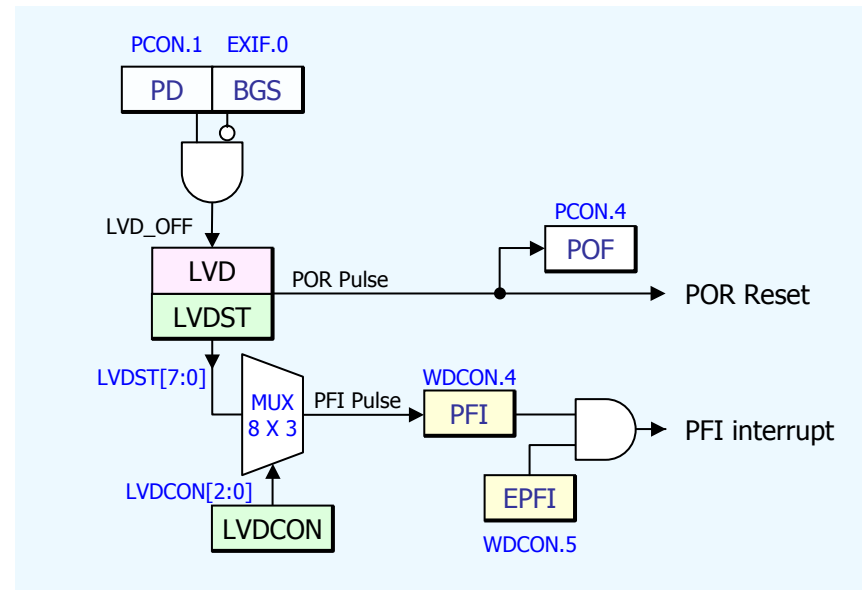
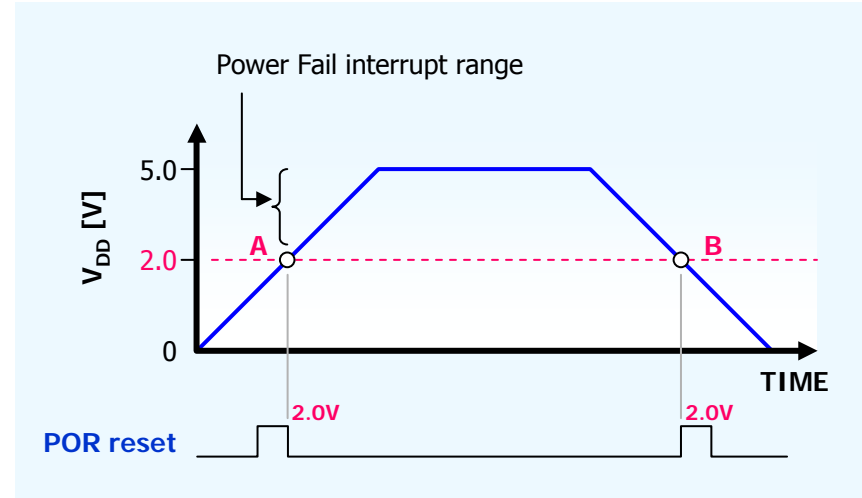
- LVD7 = 1 when VDD ≤ 4.0V.
- LVD6 = 1 when VDD ≤ 3.6V.
- LVD5 = 1 when VDD ≤ 3.2V.
- LVD4 = 1 when VDD ≤ 3.0V.
- LVD3 = 1 when VDD ≤ 2.8V.
- LVD2 = 1 when VDD ≤ 2.6V.
- LVD1 = 1 when VDD ≤ 2.4V.
- LVD0 = 1 when VDD ≤ 2.2V.

✓ LVDCON (96h) : LVD 제어 레지스터

-	-	-	-	-	LVDCON.2	LVDCON.1	LVDCON.0
					R/W(0)	R/W(0)	R/W(0)

- LVDCON[2:0] : LVD 인터럽트 레벨 선택. (MUX)
- LVDCON[2:0] = 000b, LVD Interrupt Level = 4.0V (기본지정).
- LVDCON[2:0] = 001b, LVD Interrupt Level = 3.6V.
- LVDCON[2:0] = 010b, LVD Interrupt Level = 3.2V.
- LVDCON[2:0] = 011b, LVD Interrupt Level = 3.0V.
- LVDCON[2:0] = 100b, LVD Interrupt Level = 2.8V.
- LVDCON[2:0] = 101b, LVD Interrupt Level = 2.6V.
- LVDCON[2:0] = 110b, LVD Interrupt Level = 2.4V.
- LVDCON[2:0] = 111b, LVD Interrupt Level = 2.2V.

✓ WDCON (D8h), PCON (87h), and EXIF (91h)
: Refer to Next Slide



6.6. LVD (저전압 검출회로) (계속)

✓ WDCON (D8h) : Watchdog Timer 제어 레지스터

WD1	WD0	EPFI	PFI	WDIF	WTRF	EWT	RWT
-----	-----	------	-----	------	------	-----	-----

R/W(1) R/W(1) R/W(0) R/W(1) R/W(0) R/W(0) R/W(0) R/W(0)

- EPFI : Power-fail 인터럽트 인에이블.
- PFI : Power-fail 인터럽트 플래그.

✓ EXIF (91h) : 외부 인터럽트 플래그 레지스터

-	-	IE3	IE2	XT/RG	RGMD	RGSL	BGS
---	---	-----	-----	-------	------	------	-----

R/W(0) R/W(0) R/W(0) R(1) R/W(0) R/W(1)

- BGS : Band-gap 선택 (기본지정 = 1).

BGS = 0일 때,

Band-gap block (LVD)은 power-down 모드에서 동작하지 않고 정상 모드 때만 동작한다.

BGS = 1일 때,

Band-gap block (LVD)은 power-down 모드에서 동작.

✓ PCON (87h) : 전력 제어 레지스터

SMOD1	-	-	POF	GF1	GF0	PD	IDL
-------	---	---	-----	-----	-----	----	-----

R/W(0) R/W(1) R/W(0) R/W(0) R/W(0) R/W(0)

- POF : 전원 꺼짐 플래그.
전원이 켜지면, 이 플래그는 하드웨어에 의해 설정된다.
- PD : Power-down (Stop) 모드.

6.7. WDT (Watchdog Timer)

- ◆ 외부 잡음 등의 요인으로 프로그램이 오동작하는 것을 찾아낸다.
- ◆ WDT 인터럽트를 사용하여 동작을 정상 상태로 복귀시킨다.
- ◆ 인에이블되었을 때, WDT 인터럽트 또는 WDT reset은 MCU를 Stop Mode 2에서 깨운다.
- ◆ Watchdog 시간 초과 값

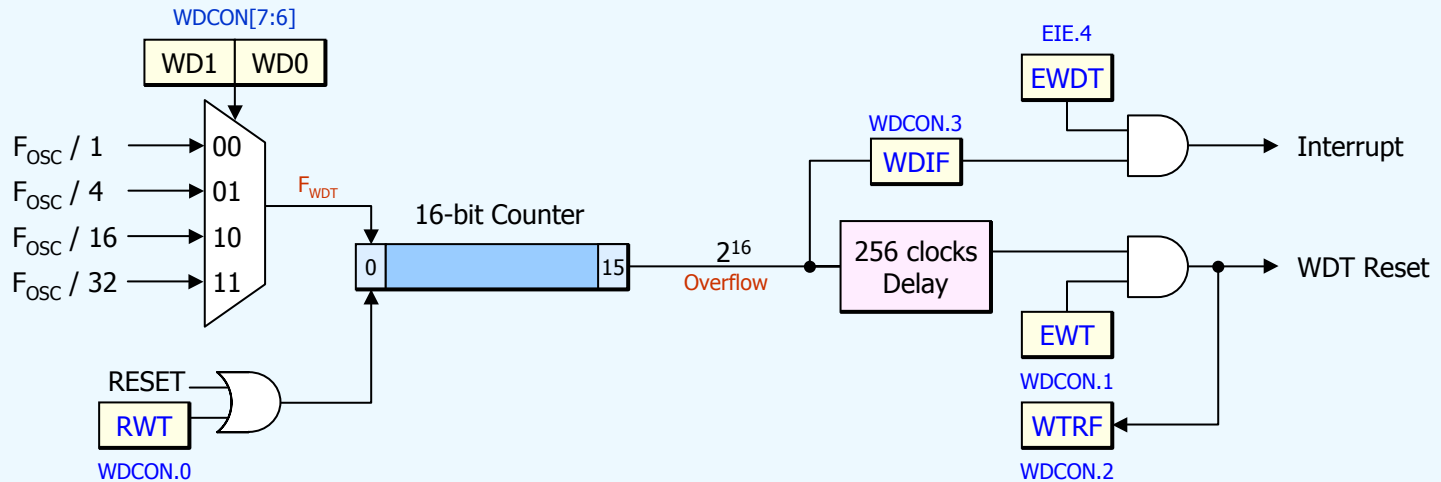
WD1	WD0	인터럽트 시간초과(@4MHz)	Reset 시간초과 (@4MHz)
0	0	1x2 ¹⁶ clocks 16.38 ms	1x2 ¹⁶ + 256 clocks 16.45 ms
0	1	4x2 ¹⁶ clocks 65.54 ms	4x2 ¹⁶ + 256 clocks 65.60 ms
1	0	16x2 ¹⁶ clocks 262.14 ms	16x2 ¹⁶ + 256 clocks 262.21 ms
1	1	32x2 ¹⁶ clocks 524.29 ms	32x2 ¹⁶ + 256 clocks 524.35 ms

✓ WDCON (D8h) : Watchdog Timer Control Register

WD1	WD0	EPFI	PFI	WDIF	WTRF	EWT	RWT
-----	-----	------	-----	------	------	-----	-----

R/W(1) R/W(1) R/W(0) R/W(1) R/W(0) R/W(0) R/W(0) R/W(0)

- WD[1:0] : WDT 클럭 분주비 결정(1/4/16/32)
- WDIF : Watchdog 타이머 인터럽트 플래그
- WTRF : Watchdog 타이머 Reset 플래그. 소프트웨어로만 소거.
- EWT : Watchdog 타이머 Reset 인에이블
- RWT : Watchdog 타이머를 재출발시킴



* RWT is only used with WDT mode 0 (WD[1:0] = [0,0]) for MiDAS2.1 Family (Refer to Application Note #009 (AN009))

6.8. Timer/Counter : Timer 0/1

- ◆ 전통적 80C52 Timer/Counter와 기능 호환
- ◆ Time base는 12 클럭 주기이다.

Mode Timer	Mode 0 (M1,M0=00)	Mode 1 (M1,M0=01)	Mode 2 (M1,M0=10)	Mode 3 (M1,M0=11)
Timer0	13-bit T/C	16-bit T/C	8-bit T/C, 자동재입력 (TL0 ← TH0)	8-bit T/C (TL0) → Timer0 인터럽트 8-bit T/C (TH0) → Timer1 인터럽트
Timer1	지원 안함		8-bit T/C 자동재입력 (TL1 ← TH1)	지원 안함

- ✓ **TMOD (89h) : Timer/Counter 0 모드 제어 레지스터**

-	-	-	-	GATE	C/T	M1	M0
				R/W(0)	R/W(0)	R/W(0)	R/W(0)

- GATE : Timer 0 Gate 제어. TRx(TCON 내)가 설정되고 GATE=1이면, Timer x는 오직 INTx pin이 high 상태일 때 동작 (하드웨어 제어). GATE=0이면, Timer x는 TRx=1이면 동작 (소프트웨어 제어).
- C/T[2] : Timer 0 Counter/Timer 기능 선택.
0 = F_{osc}/12를 계수하는 타이머. (기본지정)
1 = T0 pin의 펄스를 계수.
- M1, M0 : Timer 0 모드 선택.
[0,0] : Mode 0. 13-bit T/C.
[0,1] : Mode 1. 16-bit T/C.
[1,0] : Mode 2. 8-bit T/C, 자동재입력
[1,1] : Mode 3. Two 8-bit T/C

- ✓ **TCON (88h) : Timer/Counter 0/1 제어 레지스터**

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- TF1 : Timer 1 오버플로우 플래그.
- TR1 : Timer 1 동작.
- TF0 : Timer 0 오버플로우 플래그.
- TR0 : Timer 0 동작.
- IE1 : 외부 인터럽트 1 플래그.
- IT1 : 외부 인터럽트 1 방식 선택 플래그.
Edge Detect (IT1=1). Level Detect (IT1=0).
- IE0 : 외부 인터럽트 0 플래그.
- IT0 : 외부 인터럽트 0 방식 선택 플래그.
Edge Detect (IT0=1). Level Detect (IT0=0).

- ✓ **TL0 (8Ah) : Timer/Counter 0 하위 바이트 레지스터**

TL0.7	TL0.6	TL0.5	TL0.4	TL0.3	TL0.2	TL0.1	TL0.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- ✓ **TH0 (8Ch) : Timer/Counter 0 상위 바이트 레지스터**

TH0.7	TH0.6	TH0.5	TH0.4	TH0.3	TH0.2	TH0.1	TH0.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

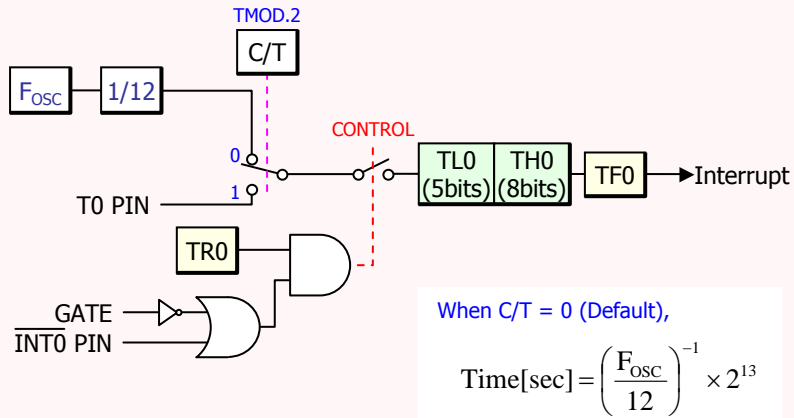
- ✓ **TL1 (8Bh) : Timer/Counter 1 하위 바이트 레지스터**

TL1.7	TL1.6	TL1.5	TL1.4	TL1.3	TL1.2	TL1.1	TL1.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

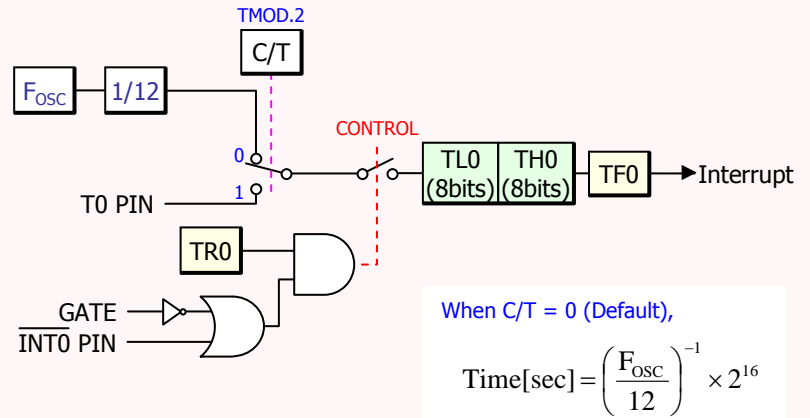
- ✓ **TH1 (8Dh) : Timer/Counter 1 상위 바이트 레지스터**

TH1.7	TH1.6	TH1.5	TH1.4	TH1.3	TH1.2	TH1.1	TH1.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

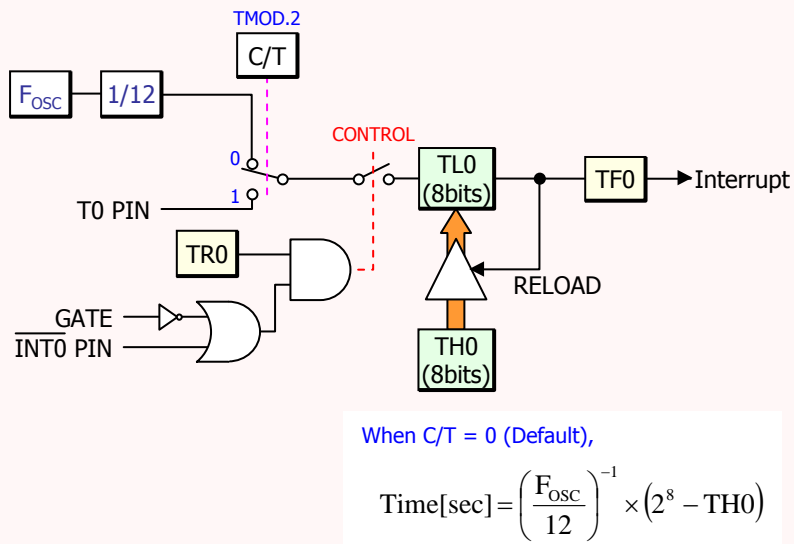
6.8. Timer/Counter : Timer 0 모드 설명



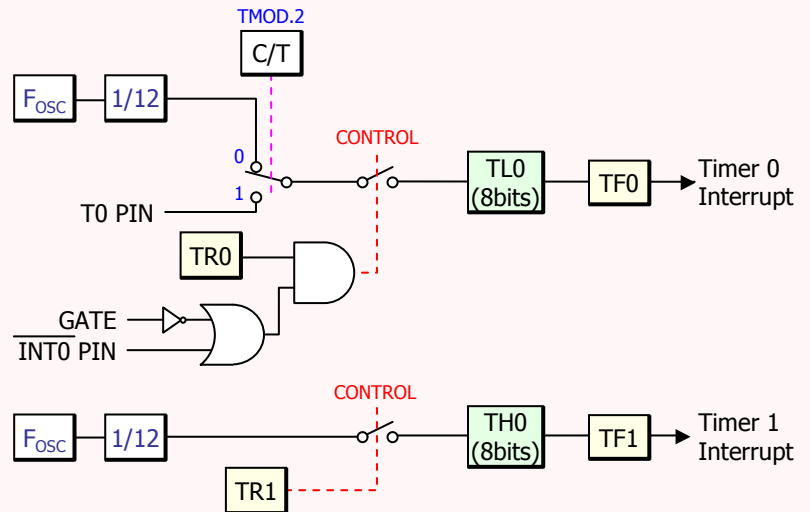
[Mode 0]



[Mode 1]

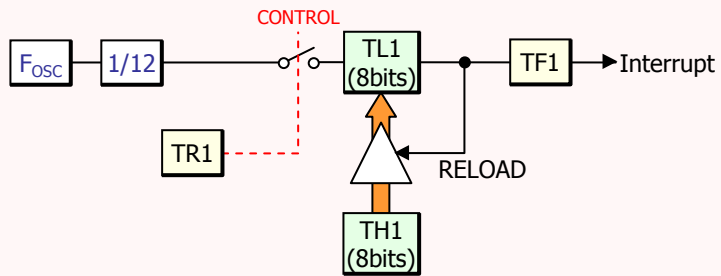


[Mode 2]



[Mode 3]

6.8. Timer/Counter : Timer 1 모드 설명



[Mode 2]

6.9. UART

◆ 간소화된 8052 UART
(오직 UART 모드 1만 지원)

	Data Size		Baudrate
	Mode 1	10 bits	Start bit(0) 8 data bit Stop bit(1)

◆ UART Mode 1
(Timer 1 오버플로우 사용)

$$\text{Baudrate} = \frac{2^{\text{SMOD1}}}{32} \times F_{\text{osc}} \times \frac{1}{12 \times [256 - (\text{TH1})]}$$

[Baudrate Examples]

Baudrate	UART Mode	F _{osc} [MHz]	SMOD1	Timer 1		
				C/T	Mode	Reload Value (TH1)
62.5 KHz	Mode 1	12	1	0	Mode 2 8-bit Auto-reload	FFh
19.2 KHz		11.0592	1	0		FDh
9.6 KHz		11.0592	0	0		FDh
4.8 KHz		11.0592	0	0		FAh
2.4 KHz		11.0592	0	0		F4h
1.2 KHz		11.0592	0	0		E8h
137.5 Hz		11.0592	0	0		1Dh
110 Hz		6	0	0		72h

✓ PCON (87h) : 전력 제어 레지스터

SMOD1	-	-	POF	GF1	GF0	PD	IDL
R/W(0)			R/W(1)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- SMOD1 : UART 모드에서 Timer 1 baudrate 두 배.

✓ SCON (98h) : 직렬 단자 제어 레지스터

-	-	-	REN	-	-	TI	RI
			R/W(0)			R/W(0)	R/W(0)

- REN : 직렬 수신 인에이블
사용자가 UART로 데이터 수신을 원한다면, REN 플래그를 1로 설정하라.
- TI : 송신 인터럽트 플래그. 소프트웨어에 의해 소거되어야 함.
- RI : 수신 인터럽트 플래그. 소프트웨어에 의해 소거되어야 함.

✓ SBUF (99h) : 직렬 데이터 버퍼 레지스터

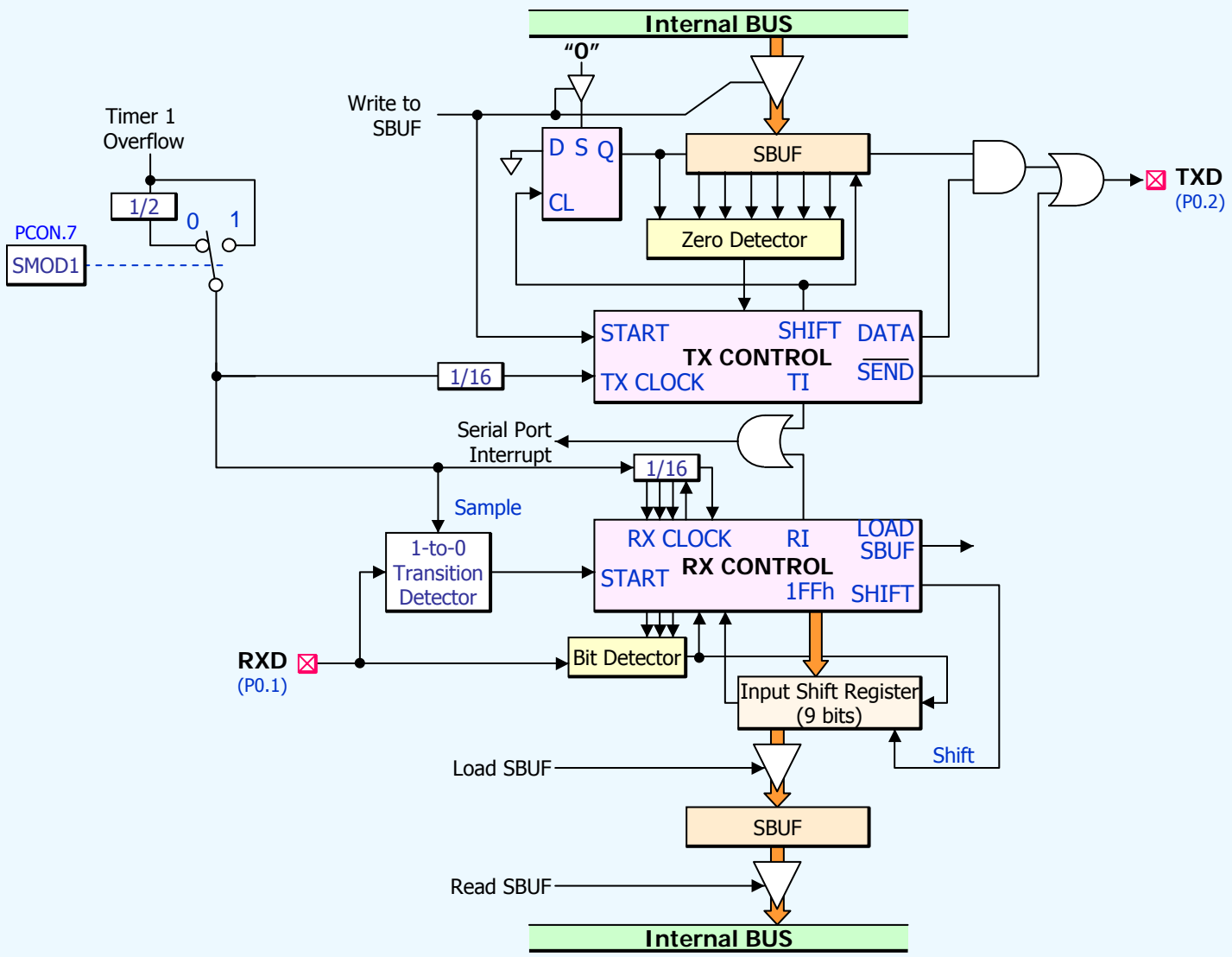
SBUF.7	SBUF.6	SBUF.5	SBUF.4	SBUF.3	SBUF.2	SBUF.1	SBUF.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- 송수신 버퍼들은 분리되어 있다.
- 읽기와 쓰기 주소는 같다.

✓ TH1 (8Dh) : Timer/Counter 1 상위 바이트 레지스터

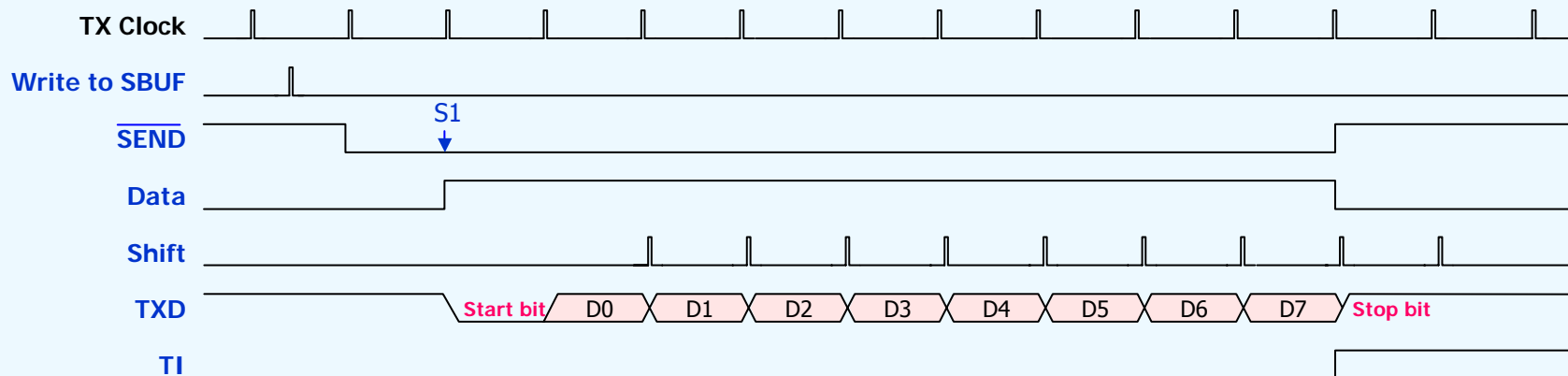
TH1.7	TH1.6	TH1.5	TH1.4	TH1.3	TH1.2	TH1.1	TH1.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

6.9. UART : Mode 1 기능

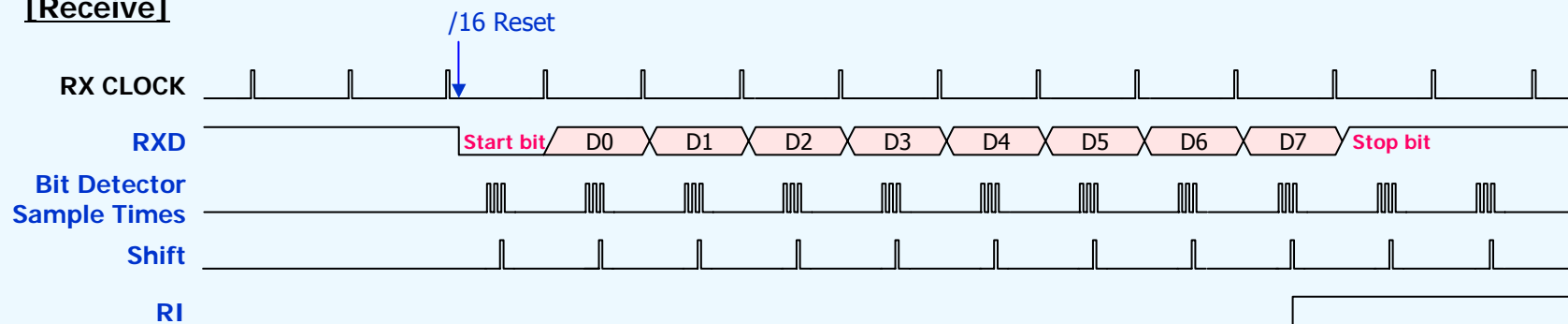


6.9. UART : Mode 1 Timing

[Transmit]

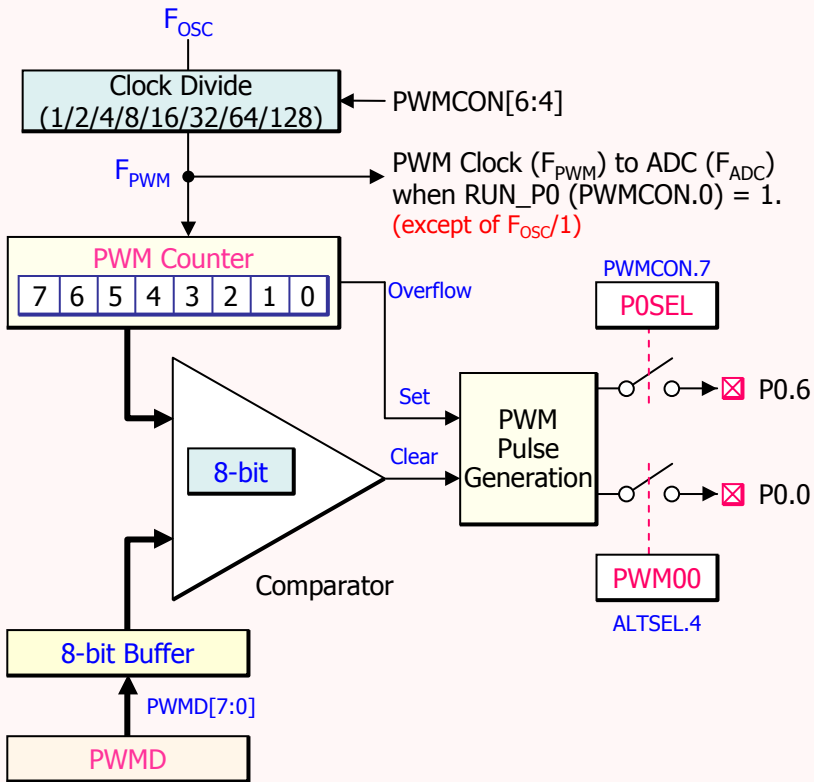


[Receive]



6.10. PWM (펄스 폭 변조회로)

- ◆ 지능형 1-채널 8-비트 PWM
- ◆ PWM 데이터 버퍼 갱신(8-비트 오버플로우 때)
- ◆ PWM 카운터는 소프트웨어에 의해 소거될 수 있다.
- ◆ PWM는 소프트웨어의 의하여 정지되고 출발(재개)된다.



✓ PWMCON (DCh) : PWM 제어 레지스터

POSEL	PS2_P0	PS1_P0	PS0_P0	-	PWMF	CLR_P0	RUN_P0
R/W(0)	R/W(0)	R/W(0)	R/W(0)		R/W(0)	R/W(0)	R/W(0)

- POSEL : P0.6으로 PWM 파형 출력 인에이블.
- PS2_P0, PS1_P0, PS0_P0 : 클럭 선분주비 선택.
 - [0,0,0] = $F_{osc}/1$, [0,0,1] = $F_{osc}/2$, [0,1,0] = $F_{osc}/4$,
 - [0,1,1] = $F_{osc}/8$, [1,0,0] = $F_{osc}/16$, [1,0,1] = $F_{osc}/32$,
 - [1,1,0] = $F_{osc}/64$, [1,1,1] = $F_{osc}/128$
- * PWM 클럭 (F_{PWM})은 ADC에서 $F_{osc}/10$ 이 아니면 사용된다.
- PWMF : PWM 인터럽트 플래그. 소프트웨어에 의해 소거.
- CLR_P0 : Counter Reset 인에이블. 하드웨어에 의해 소거.
- RUN_P0 : Counter Start 인에이블. PWM 클럭 (F_{PWM}) 출력 인에이블.

✓ PWMD (DEh) : PWM Duty 데이터 레지스터

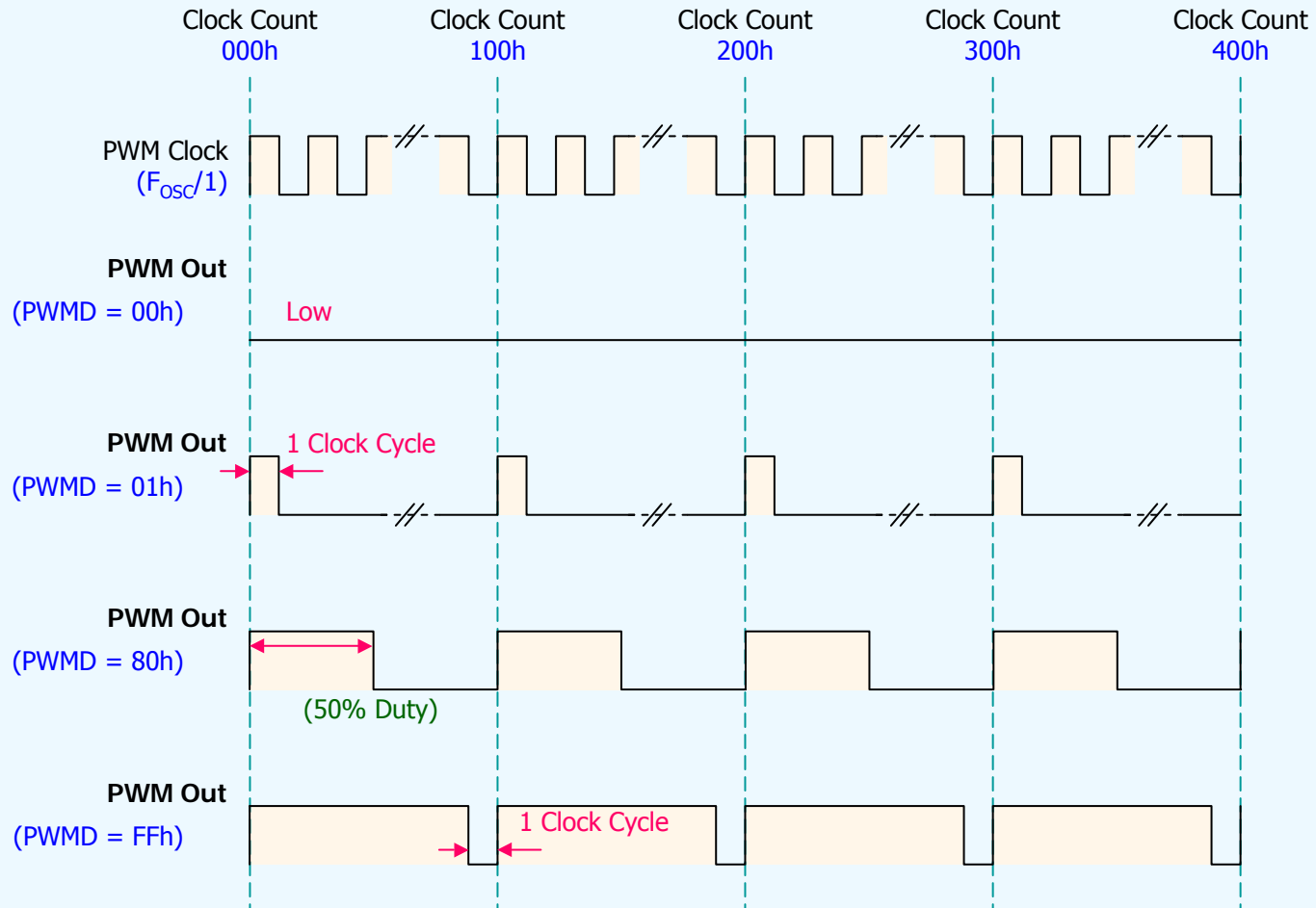
PWMD.7	PWMD.6	PWMD.5	PWMD.4	PWMD.3	PWMD.2	PWMD.1	PWMD.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

✓ ALTSEL (E3h) : Alternate 기능 제어 레지스터

IOXEN	IORSTEN	CLO	PWM00	TV0	TX	-	-
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)		

- PWM00 : P0.0으로 PWM 파형 출력 인에이블.

6.10. PWM : 펄스 생성



6.11. ADC (아날로그 디지털 변환기)

- ◆ 28-채널 10-비트 ADC (SAR 형태)
- ◆ 최대 104ksps(초당 샘플 수) @ $F_{ADC} = 10\text{MHz} \& 5\text{V}$. (최대 52ksps @ $F_{ADC} = 5\text{MHz} \& 3\text{V}$)

✓ **ADCSELH (E1h) : ADC 채널 선택 상위 레지스터**

ADC11B	ADC10B	ADC9B	ADC8B	ADC7B	ADC6B	ADC5B	ADC4B
--------	--------	-------	-------	-------	-------	-------	-------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- $ADCXB = 0$: ADCX 입력 인에이블 (디지털 입력 인에이블).

✓ **ADCSEL (E2h) : ADC 채널 선택 하위 & MUX 선택 레지스터.**

ADC3B	ADC2B	ADC1B	ADC0B	CH3	CH2	CH1	CH0
-------	-------	-------	-------	-----	-----	-----	-----

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- $ADCXB = 0$: ADCX 입력 인에이블 (디지털 입력 디세이블).

- CH[3:0] : ADC MUX Selection.
 - 0000b = ADC0 Selection (0h)
 - 0001b = ADC1 Selection (1h)
 - 0010b = ADC2 Selection (2h)
 - 0011b = ADC3 Selection (3h)
 - 0100b = ADC4 Selection (4h)
 - 0101b = ADC5 Selection (5h)
 - 0110b = ADC6 Selection (6h)
 - 0111b = ADC7 Selection (7h)
 - 1000b = ADC8 Selection (8h)
 - 1001b = ADC9 Selection (9h)
 - 1010b = ADC10 Selection (Ah)
 - 1011b = ADC11 Selection (Bh)
 - 1100b = No ADC input select (Ch)
 - 1101b = No ADC input select (Dh)
 - 1110b = No ADC input select (Eh)
 - 1111b = No ADC input select (Fh, Default)

✓ **ADCHH (DAh) : ADC 상위 채널 선택 상위 인에이블 레지스터**

ADCH15B	ADCH14B	ADCH13B	ADCH12B	ADCH11B	ADCH10B	ADCH9B	ADCH8B
---------	---------	---------	---------	---------	---------	--------	--------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- $ADCHXB = 0$: ADCHX 입력 인에이블 (디지털 입력 디세이블).

✓ **ADCHL (D9h) : ADC 상위 채널 선택 하위 인에이블 레지스터**

ADCH7B	ADCH6B	ADCH5B	ADCH4B	ADCH3B	ADCH2B	ADCH1B	ADCH0B
--------	--------	--------	--------	--------	--------	--------	--------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- $ADCHXB = 0$: ADCHX 입력 인에이블 (디지털 입력 디세이블).

✓ **ADCHSEL (DBh) : ADC 상위 채널 선택 레지스터**

CH_SEL	-	-	-	CHH3	CHH2	CHH1	CHH0
--------	---	---	---	------	------	------	------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- CH_SEL : ADC MUX Selector with CHH[3:0] & CH[3:0].
 - 0 = CH[3:0] → ADC[11:0] Enable / ADCH[15:0] Disable (Default)
 - 1 = CHH[3:0] → ADC[11:0] Disable / ADCH[15:0] Enable
- CHH[3:0] : ADC MUX Selection for High Channel
 - 0000b = ADCH0 Selection (0h)
 - 0001b = ADCH1 Selection (1h)
 - 0010b = ADCH2 Selection (2h)
 - 0011b = ADCH3 Selection (3h)
 - 0100b = ADCH4 Selection (4h)
 - 0101b = ADCH5 Selection (5h)
 - 0110b = ADCH6 Selection (6h)
 - 0111b = ADCH7 Selection (7h)
 - 1000b = ADCH8 Selection (8h)
 - 1001b = ADCH9 Selection (9h)
 - 1010b = ADCH10 Selection (Ah)
 - 1011b = ADCH11 Selection (Bh)
 - 1100b = ADCH12 Selection (Ch)
 - 1101b = ADCH13 Selection (Dh)
 - 1110b = ADCH14 Selection (Eh)
 - 1111b = ADCH15 Selection (Fh)

6.11. ADC (아날로그 디지털 변환기) (계속)

✓ ADCON (EFh) : ADC 제어 & ADC 결과 하위 레지스터: SAR[1:0]

AD_EN	AD_REQ	AD_END	ADCF	-	ADIV	SAR1	SAR0
R/W(0)	R/W(0)	R(1)	R/W(0)		R/W(0)	R/W(0)	R/W(0)

- AD_EN : AD 변환 인에이블.
- AD_REQ : AD 변환 요구.
AD_END가 0에서 1로 변할 때, 하드웨어에 의해 소거됨.
- AD_END : 현재 ADC 상태.
0 = ADC가 동작 중.
사용자는 AD_END 대신에 ADCF를 확인해야 함.
- ADCF : ADC 인터럽트 플래그.
소프트웨어에 의해 소거되어야 함.
- ADIV : ADC 입력 클럭 (F_{ADC}) 선택.
0 = 시스템 클럭 (F_{OSC}) / 2. (기본지정)
1 = PWM 입력 클럭 (F_{PWM})
PWM Clock이 $F_{OSC}/10$ 이 아니면 사용할 수 있다.
- SAR[1:0] : ADC 결과값의 하위 두 비트. (총 10 비트)

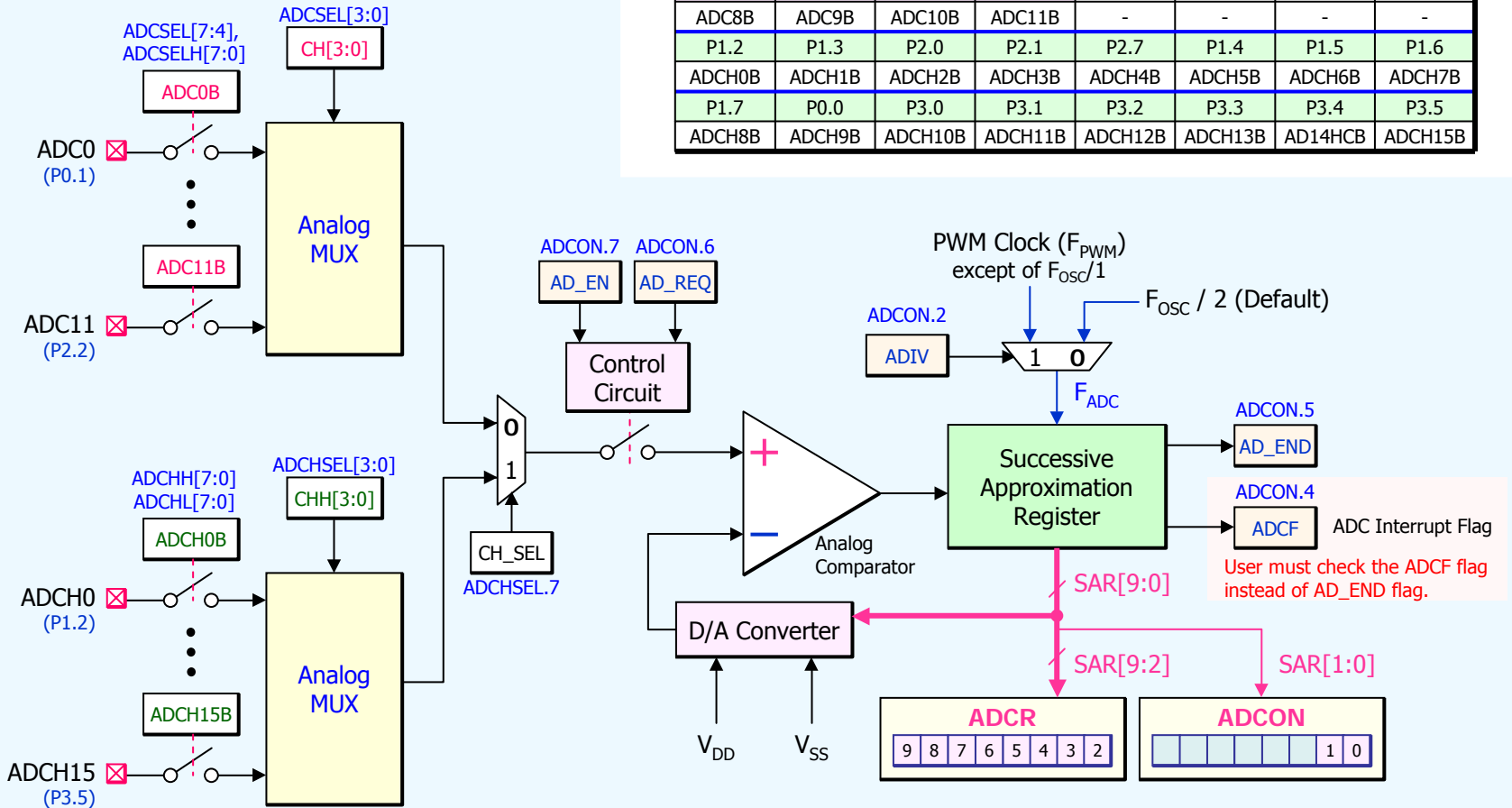
✓ ADCR (EEh) : ADC 결과 상위 레지스터

SAR9	SAR8	SAR7	SAR6	SAR5	SAR4	SAR3	SAR2
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

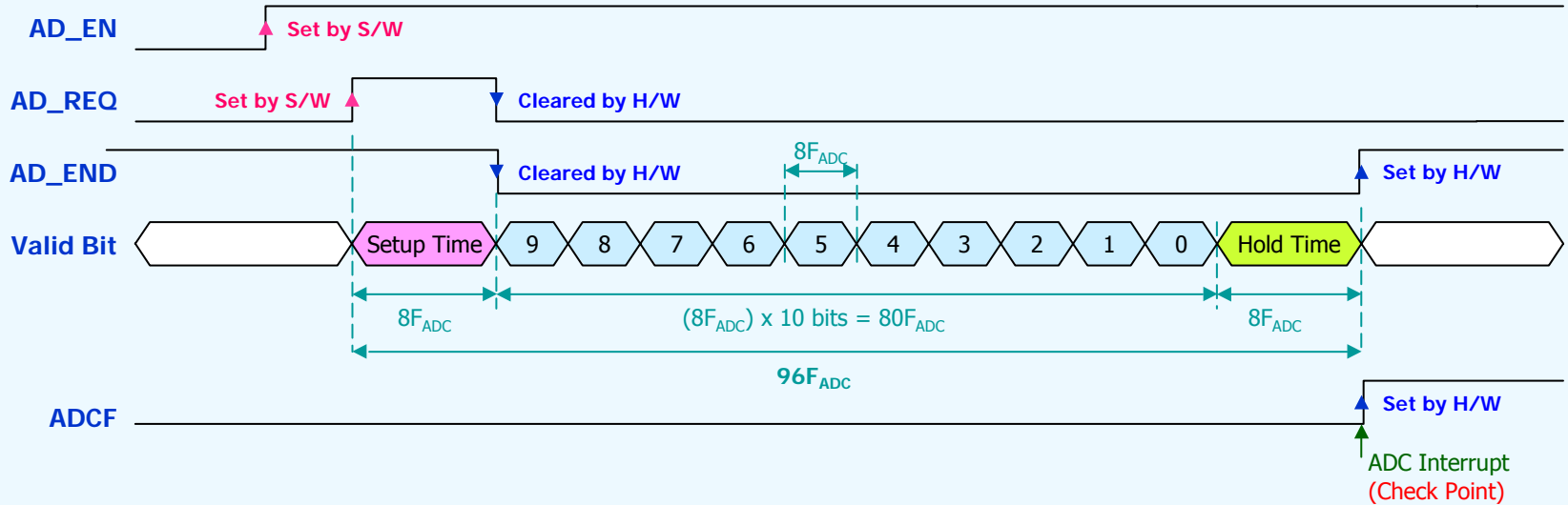
6.11. ADC (아날로그 디지털 변환기)

[단자 pin에 대한 ADC 입력 채널 배정]

P0.1	P0.2	P0.3	P0.4	P0.5	P0.6	P0.7	P2.6
ADC0B	ADC1B	ADC2B	ADC3B	ADC4B	ADC5B	ADC6B	ADC7B
P2.5	P2.4	P2.3	P2.2	-	-	-	-
ADC8B	ADC9B	ADC10B	ADC11B	-	-	-	-
P1.2	P1.3	P2.0	P2.1	P2.7	P1.4	P1.5	P1.6
ADCH0B	ADCH1B	ADCH2B	ADCH3B	ADCH4B	ADCH5B	ADCH6B	ADCH7B
P1.7	P0.0	P3.0	P3.1	P3.2	P3.3	P3.4	P3.5
ADCH8B	ADCH9B	ADCH10B	ADCH11B	ADCH12B	ADCH13B	AD14HCB	ADCH15B



6.11. ADC : Conversion Timing



- ✓ **AD_EN** : AD 변환 인에이블 신호.
소프트웨어에 의해 설정 또는 소거.
- ✓ **AD_REQ** : AD 변환 요구 비트.
소프트웨어에 의해 설정, 하드웨어에 의해 소거.
이 비트는 각 샘플 변환에 대하여 설정되어야 한다.
- ✓ **AD_END** : 하드웨어에 의해 설정 또는 소거.
변환이 시작될 때 소거.
변환이 끝나면 설정.
- ✓ **ADCF** : AD 변환 인터럽트 플래그.
하드웨어에 의해 설정, 소프트웨어에 의해 소거.
인터럽트 처리 루틴에서 이 비트를 소거해야 한다.
사용자는 AD_END 대신 ADCF 플래그를 확인해야 한다.

[ADC 변환표]

System Clock (F_{Osc})	Divide (ADIV=0)	F_{ADC}	T_{ADC} ($1/F_{ADC}$)	1 Sample Conversion Time
20MHz @ 5V	$F_{Osc}/2$	10MHz	100ns	9.6us
10MHz @ 5V	$F_{Osc}/2$	5MHz	200ns	19.2us
10MHz @ 3V	$F_{Osc}/2$	5MHz	200ns	19.2us
5MHz @ 3V	$F_{Osc}/2$	2.5MHz	400ns	38.4us

6.12. I²C Master / Slave

- ◆ Master : 최대 300kHz (@12MHz_{osc}, 3.3V_{DD})
- ◆ Slave : 74 ~ 317kHz (@12MHz_{osc}, 3.3V_{DD})
- ◆ 7-비트 주소지정 방식
- ◆ 단일 바이트 / 다중 바이트 지원

✓ I2C_SCON (9Ah) : I²C Slave 제어 레지스터

-	WR	RD	BUSY	-	I2C_SIF	MODE	RUN
	R(0)	R(0)	R(0)		R/W(0)	R/W(0)	R/W(0)

- WR : I²C 쓰기 동작 상태. 하드웨어에 의해 소거.
- RD : I²C 읽기 동작 상태. 하드웨어에 의해 소거.
- BUSY : 현재 I²C Slave 상태. 하드웨어에 의해 소거.
BUSY = 1이면, I²C slave가 지금 동작 상태.
- I2C_SIF : I²C Slave 인터럽트 플래그.
한 바이트가 수신이나 송신 될 때마다 설정된다.
소프트웨어에 의해 소거.
- MODE : I²C Slave 모드.
0 = 모드 0, Memory 주소 포함 (기본지정).
1 = 모드 1, Memory 주소 없음
- RUN : I²C Slave 동작.
소프트웨어에 의해 소거.

✓ I2C_SDEV (9Bh) : I²C Slave Device 주소 레지스터

SDEV.7	SDEV.6	SDEV.5	SDEV.4	SDEV.3	SDEV.2	SDEV.1	SDEV.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- SDEV[7:1] : I²C Slave Device 주소.
- SDEV[0] : 사용하지 않음. Don't Care.

✓ I2C_SADR (9Ch) : I²C Slave Memory 주소 레지스터

SADR.7	SADR.6	SADR.5	SADR.4	SADR.3	SADR.2	SADR.1	SADR.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

✓ I2C_SDAT (9Dh) : I²C Slave 데이터 레지스터

SDAT.7	SDAT.6	SDAT.5	SDAT.4	SDAT.3	SDAT.2	SDAT.1	SDAT.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

6.12. I²C Master / Slave (계속)

✓ I2C_MDAT (9Eh) : I²C Master 데이터 레지스터

MDAT.7	MDAT.6	MDAT.5	MDAT.4	MDAT.3	MDAT.2	MDAT.1	MDAT.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

✓ I2C_MCON (A2h) : I²C Master 제어 레지스터

-	-	-	I2C_MIF	OP	BYPASS	MODE	RUN
			R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- I2C_MIF : I²C Master 인터럽트 플래그.
한 바이트가 수신되거나 송신될 때마다 설정된다.
소프트웨어에 의해 소거.
- OP : I²C 읽기/쓰기 동작.
0 = 쓰기 동작 (기본지정).
1 = 읽기 동작.
- BYPASS : I²C Master 와 Slave에서 Bypass Mode.
- MODE : I²C Master Mode.
0 = Mode 0. Memory 주소 포함 (기본지정).
1 = Mode 1. Memory 주소 없음.
- RUN : I²C Master 동작.
하드웨어에 의해 소거.

✓ I2C_MDEV (A3h) : I²C Maser Device 주소 레지스터

MDEV.7	MDEV.6	MDEV.5	MDEV.4	MDEV.3	MDEV.2	MDEV.1	MDEV.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- MDEV[7:1] : I²C Master Device 주소.
- MDEV[0] : 사용 안함. Don't Care.

✓ I2C_MADR (A4h) : I²C Maser Memory 주소 레지스터

MADR.7	MADR.6	MADR.5	MADR.4	MADR.3	MADR.2	MADR.1	MADR.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

✓ I2C_MNUM (A5h) : I²C Master 다중 바이트 수 레지스터

MNUM.7	MNUM.6	MNUM.5	MNUM.4	MNUM.3	MNUM.2	MNUM.1	MNUM.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- Number of Multi-byte = I2C_MNUM + 1.

✓ I2C_MSCL (A6h) : I²C Master 클럭 분주비 하위 바이트 레지스터

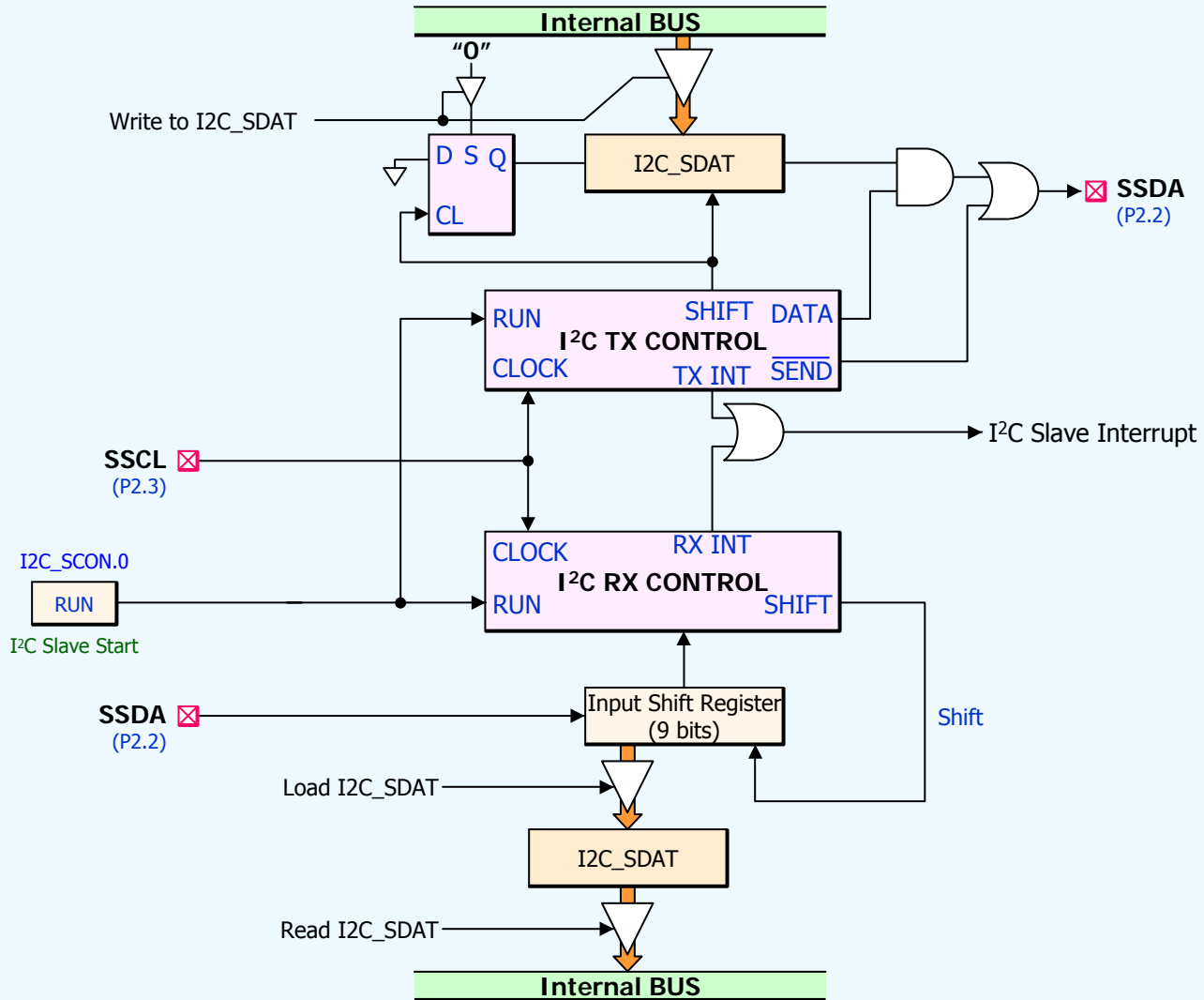
MSCL.7	MSCL.6	MSCL.5	MSCL.4	MSCL.3	MSCL.2	MSCL.1	MSCL.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- I²C Master의 주파수 (F_{I2C}) = $F_{OSC} / \{(I2C_MSCH, I2C_MSCL+1)*4\}$.

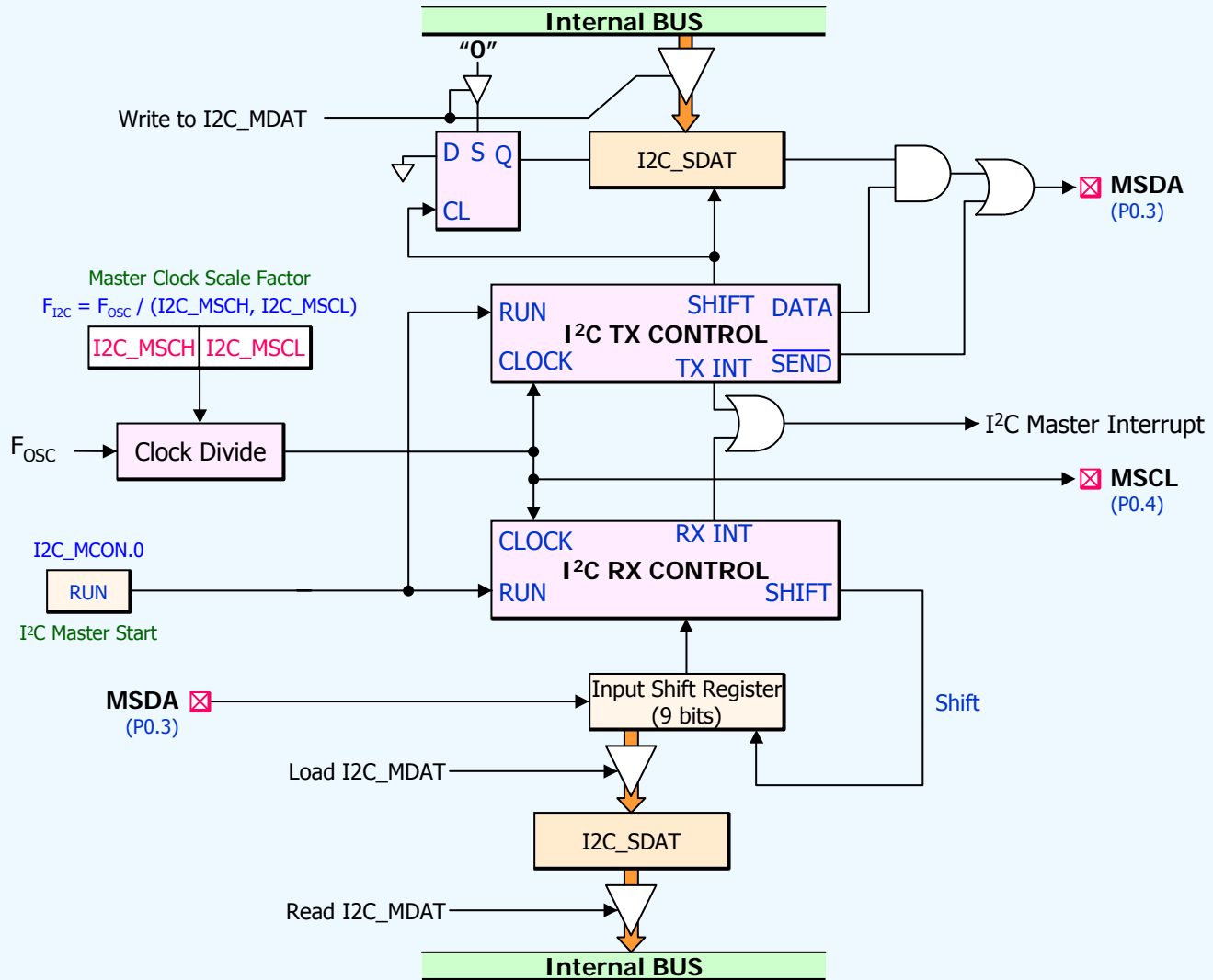
✓ I2C_MSCH (A7h) : I²C Master 클럭 분주비 상위 바이트 레지스터

MSCH.7	MSCH.6	MSCH.5	MSCH.4	MSCH.3	MSCH.2	MSCH.1	MSCH.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

6.12. I²C : Slave 기능



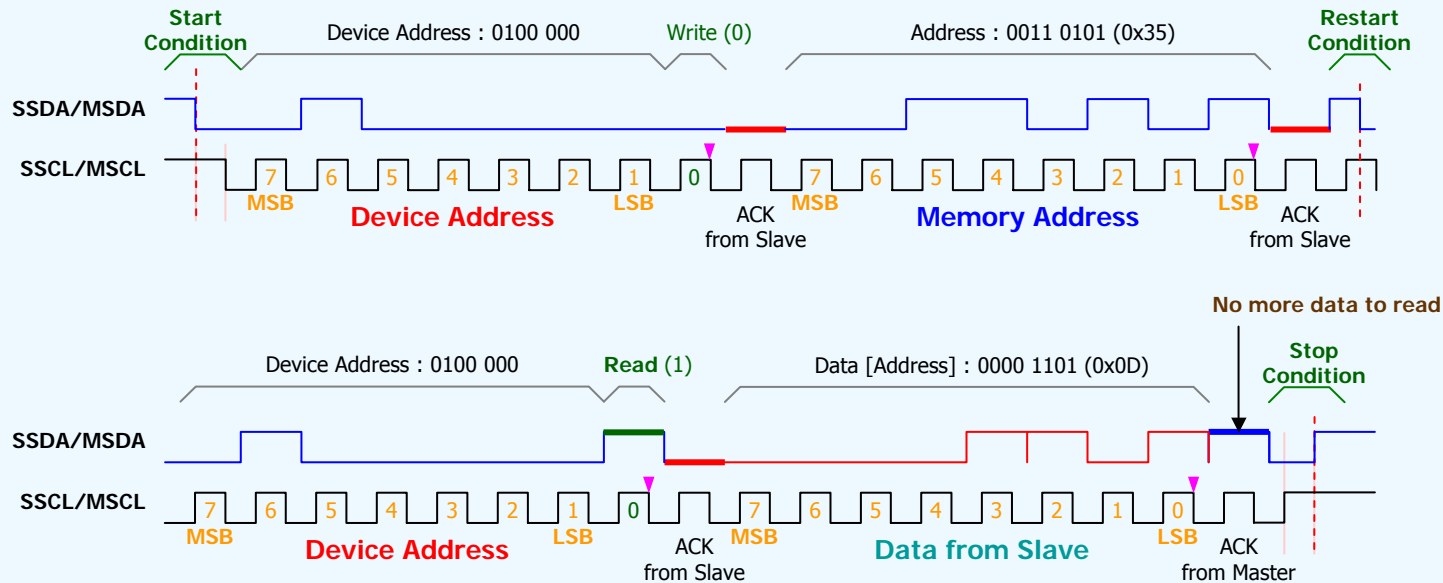
6.12. I²C : Master 기능



6.12. I²C : Slave & Master Timing (1/7)

◆ 메모리 주소를 갖는 1 바이트 읽기 Timing

- ✓ I2C_SCON.1 (MODE) / I2C_MCON.1 (MODE) = 0 (Mode 0, Memory 주소 포함; 기본지정).

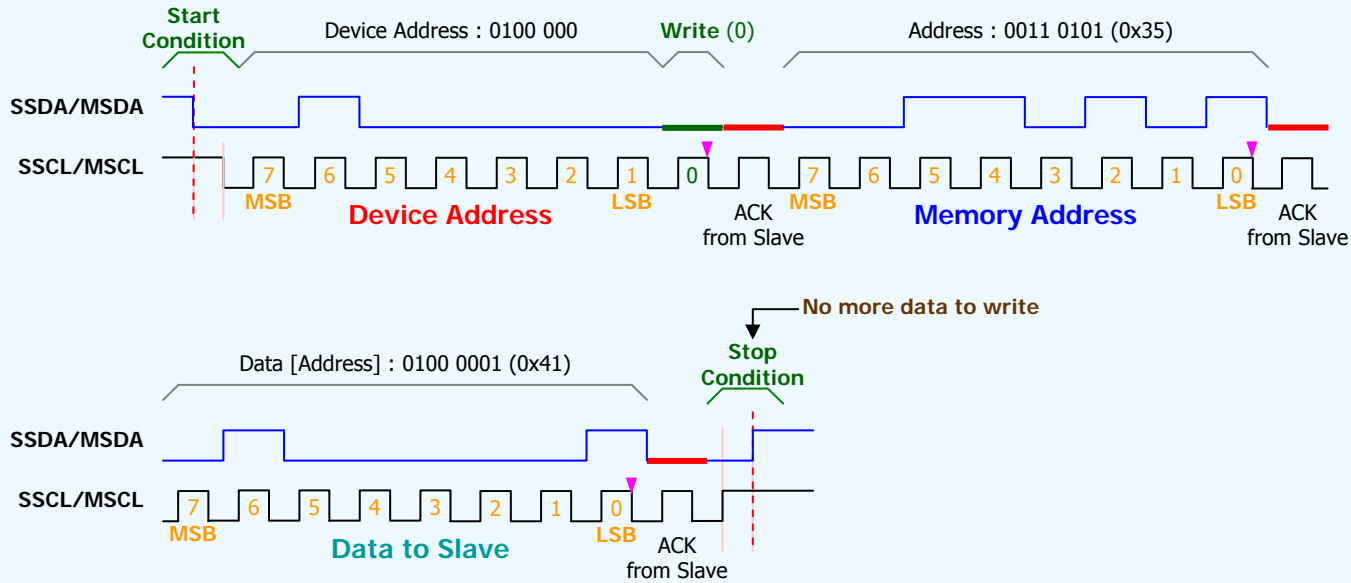


▼ : I²C Master/Slave 인터럽트

6.12. I²C : Slave & Master Timing (2/7)

◆ 메모리 주소를 갖는 1 바이트 쓰기 Timing

- ✓ I2C_SCON.1 (MODE) / I2C_MCON.1 (MODE) = 0 (Mode 0, Memory 주소 포함; 기본지정).

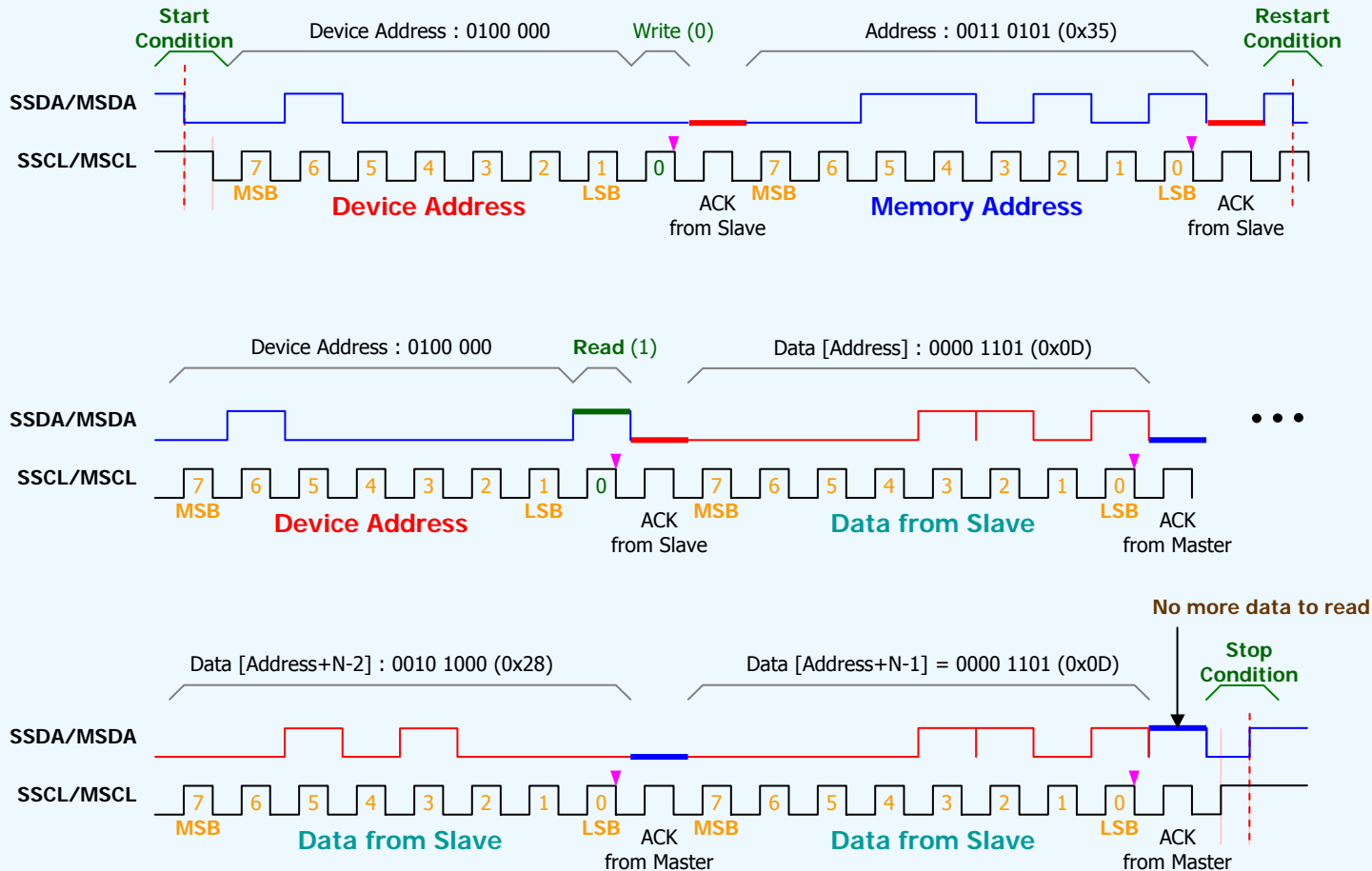


▼ : I²C Master/Slave 인터럽트

6.12. I²C : Slave & Master Timing (3/7)

◆ 메모리 주소를 갖는 다중 (N) 바이트 읽기 Timing

✓ I2C_SCON.1 (MODE) / I2C_MCON.1 (MODE) = 0 (Mode 0, Memory 주소 포함; 기본지정).

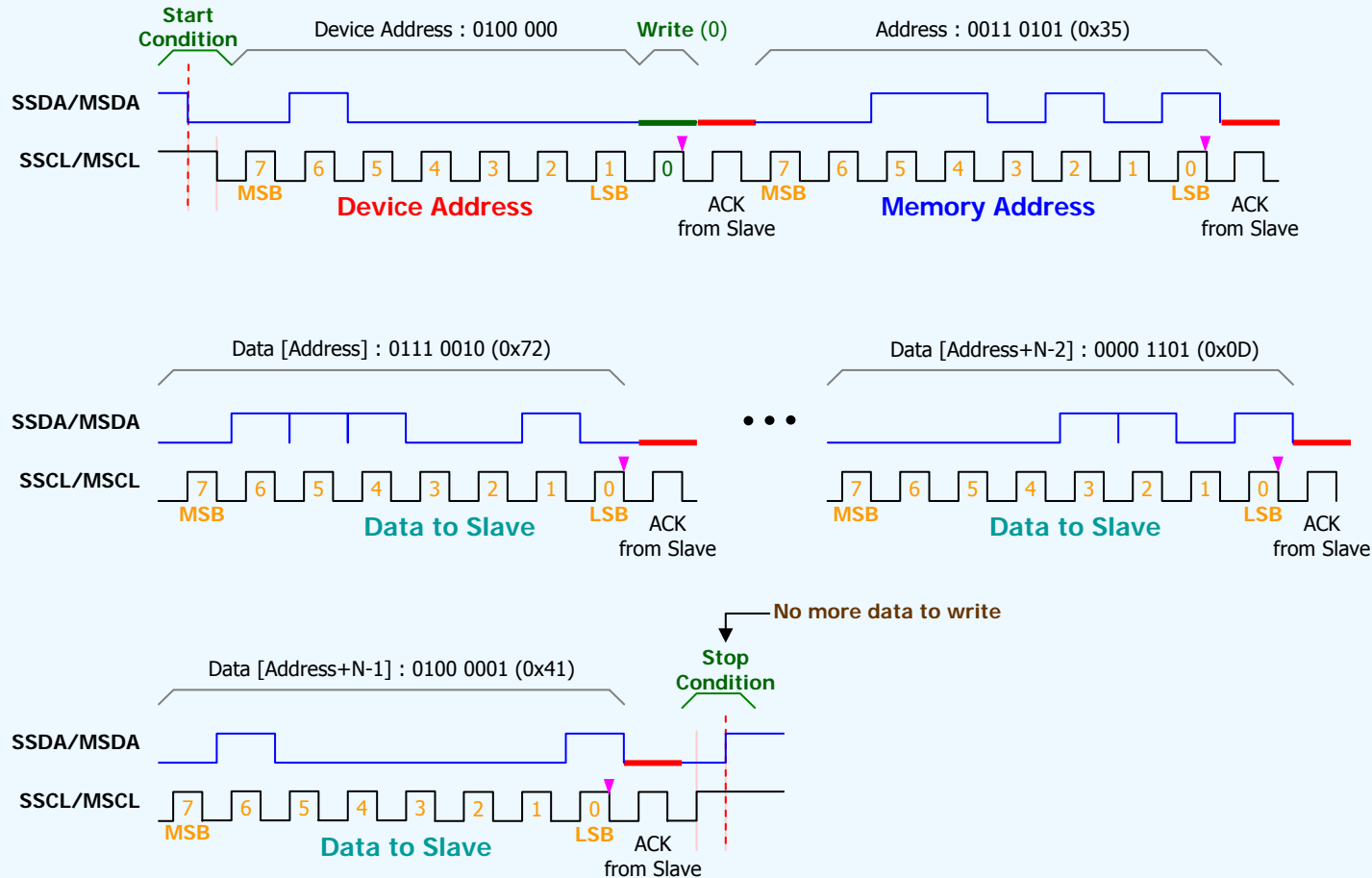


▽ : I²C Master/Slave 인터럽트

6.12. I²C : Slave & Master Timing (4/7)

◆ 메모리 주소를 갖는 다중 (N) 바이트 쓰기 Timing

✓ I2C_SCON.1 (MODE) / I2C_MCON.1 (MODE) = 0 (Mode 0, Memory 주소 포함; 기본지정).

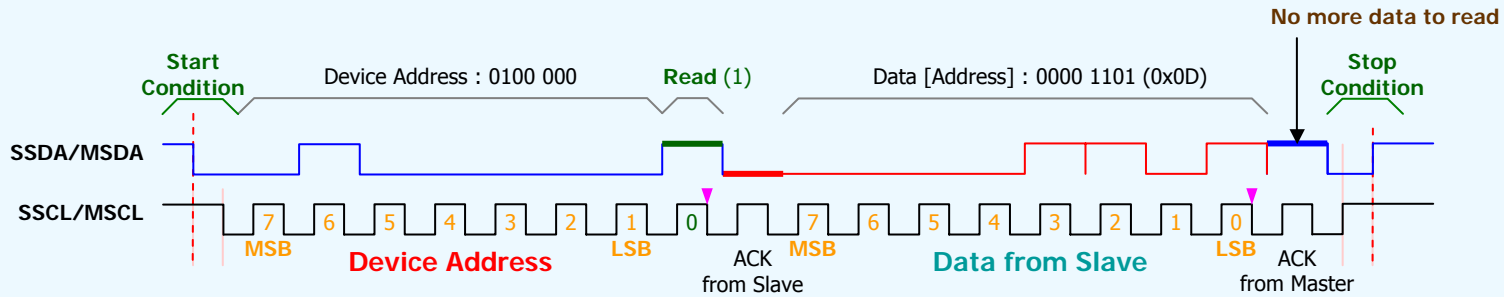


▽ : I²C Master/Slave 인터럽트

6.12. I²C : Slave & Master Timing (5/7)

◆ 메모리 주소 없는 1 바이트 읽기 Timing

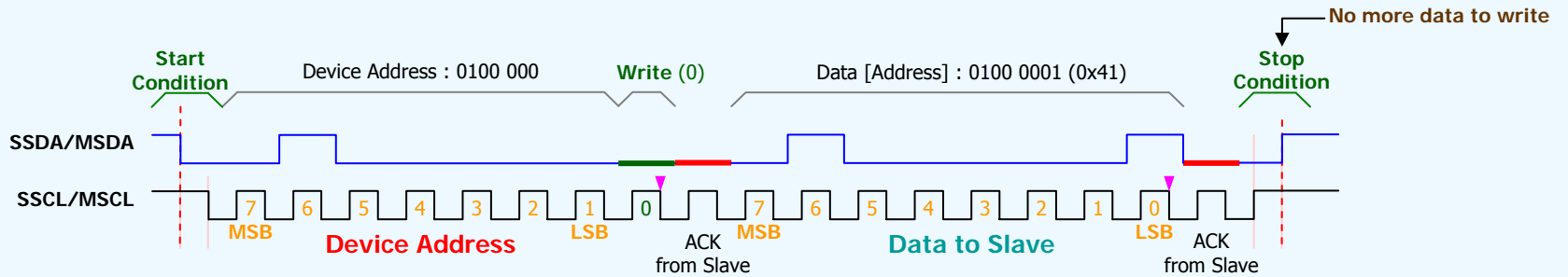
- ✓ I2C_SCON.1 (MODE) / I2C_MCON.1 (MODE) = 1 (Mode 1, Memory 주소 없음).



▼ : I²C Master/Slave Interrupt

◆ 메모리 주소 없는 1 바이트 쓰기 Timing

- ✓ I2C_SCON.1 (MODE) / I2C_MCON.1 (MODE) = 1 (Mode 1, Memory 주소 없음).

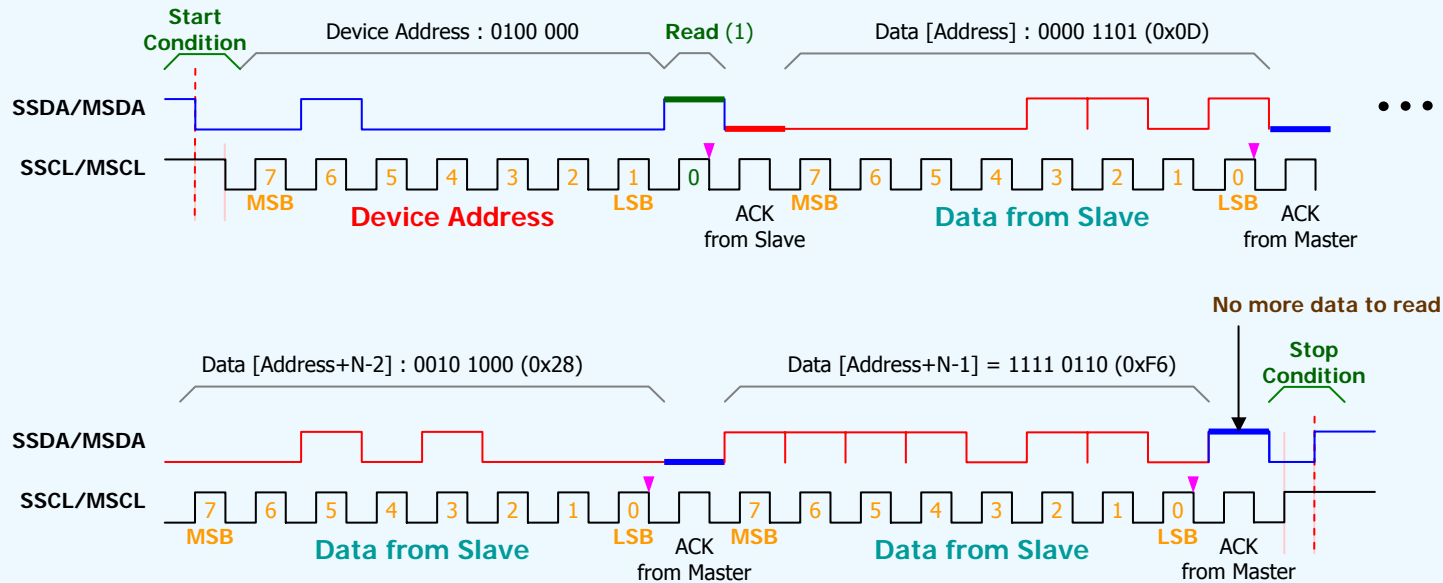


▼ : I²C Master/Slave Interrupt

6.12. I²C : Slave & Master Timing (6/7)

◆ 메모리 주소 없는 다중 (N) 바이트 읽기 Timing

- ✓ I2C_SCON.1 (MODE) / I2C_MCON.1 (MODE) = 1 (Mode 1, Memory 주소 없음).

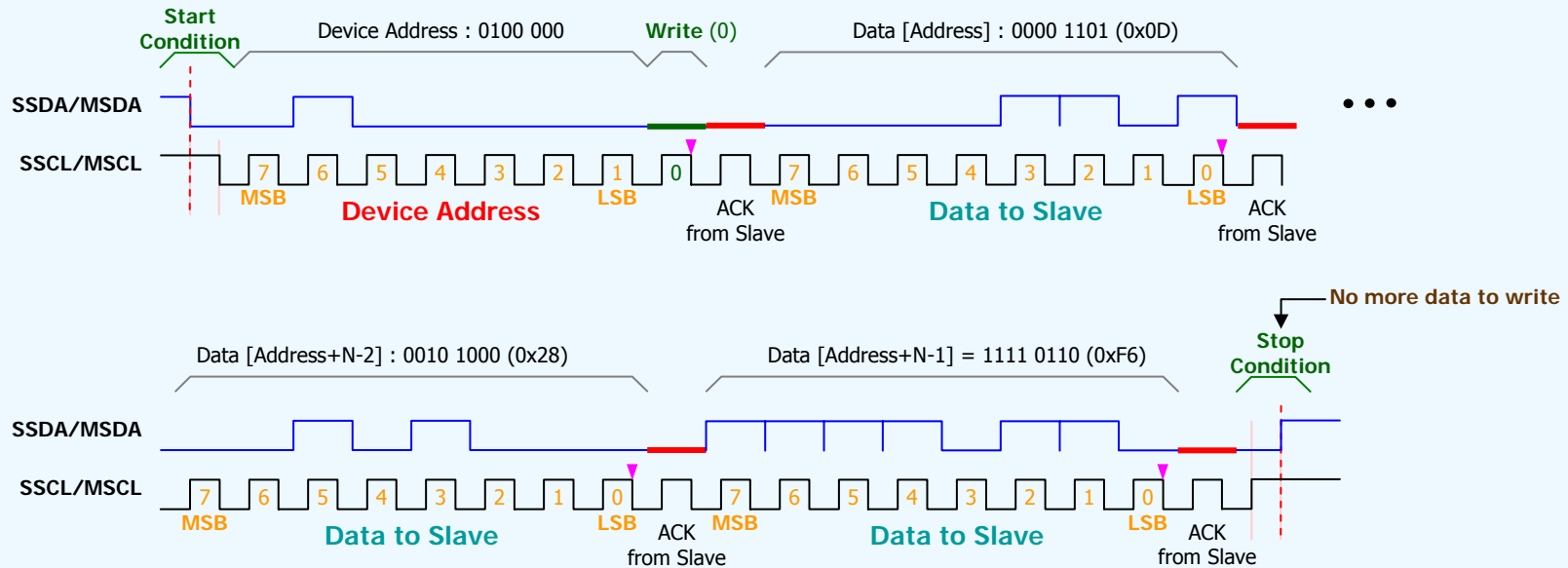


▼ : I²C Master/Slave Interrupt

6.12. I²C : Slave & Master Timing (7/7)

◆ 메모리 주소 없는 다중 (N) 바이트 쓰기 Timing

- ✓ I2C_SCON.1 (MODE) / I2C_MCON.1 (MODE) = 1 (Mode 1, Memory 주소 없음).



▼ : I²C Master/Slave Interrupt

6.13. 인터럽트 : 발생원 13/ 2-단계 우선순위

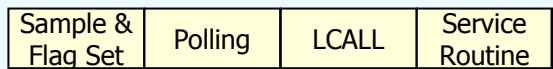
- ◆ 인터럽트 발생원 13 개
 - ✓ Timer 0/1, UART, ADC, WDT, LVD, 2-I²C, PWM, 4 외부
- ◆ 2-단계 인터럽트 우선순위

[Interrupt Vector Address]

Interrupt Sources	Address	Priority Level
LVD	0033h	Highest
INT0	0003h	2 Levels
TF0	000Bh	2 Levels
INT1	0013h	2 Levels
TF1	001Bh	2 Levels
RI+TI	0023h	2 Levels
ADC	003Bh	2 Levels
INT2	0043h	2 Levels
INT3	004Bh	2 Levels
I ² C Master	0053h	2 Levels
I ² C Slave	005Bh	2 Levels
WDT	0063h	2 Levels
PWM	006Bh	2 Levels

NMI

[Response Sequence]



Last Cycle & High Priority & Not-update Interrupt Register

* 인터럽트 관련 SFR (Appendix B를 참조하라 : SFR Description)

✓ TCON (88h)

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
-----	-----	-----	-----	-----	-----	-----	-----

✓ EXIF (91h)

-	-	IE3	IE2	XT/RG	RGMD	RGSL	BGS
---	---	-----	-----	-------	------	------	-----

✓ SCON (98h)

-	-	-	REN	-	-	TI	RI
---	---	---	-----	---	---	----	----

✓ IE (A8h)

EA	EADC	-	ES	ET1	EX1	ET0	EX0
----	------	---	----	-----	-----	-----	-----

✓ IP (B8h)

-	PADC	-	PS	PT1	PX1	PT0	PX0
---	------	---	----	-----	-----	-----	-----

✓ EIE (E8h)

-	-	EPWM	EWDT	EI2C_S	EI2C_M	EX3	EX2
---	---	------	------	--------	--------	-----	-----

✓ EIP (F8h)

-	-	PPWM	PWDT	PI2C_S	PI2C_M	PX3	PX2
---	---	------	------	--------	--------	-----	-----

✓ WDCON (D8h)

WD1	WD0	EPFI	PFI	WDIF	WTRF	EWT	RWT
-----	-----	------	-----	------	------	-----	-----

✓ PWMCON (DCh)

POSEL	PS2_P0	PS1_P0	PS0_P0	-	PWMF	CLR_P0	RUN_P0
-------	--------	--------	--------	---	------	--------	--------

✓ I2C_SCON (C0h)

-	WR	RD	BUSY	-	I2C_SIF	MODE	RUN
---	----	----	------	---	---------	------	-----

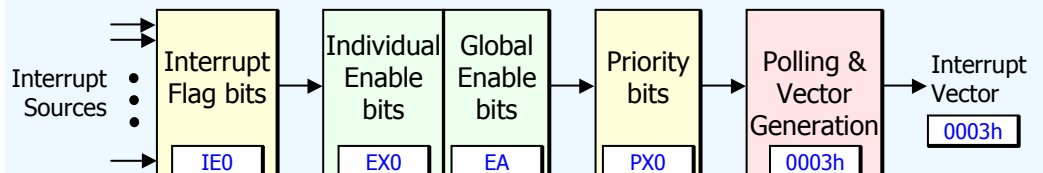
✓ I2C_MCON (C8h)

-	-	-	I2C_MIF	OP	BYPASS	MODE	RUN
---	---	---	---------	----	--------	------	-----

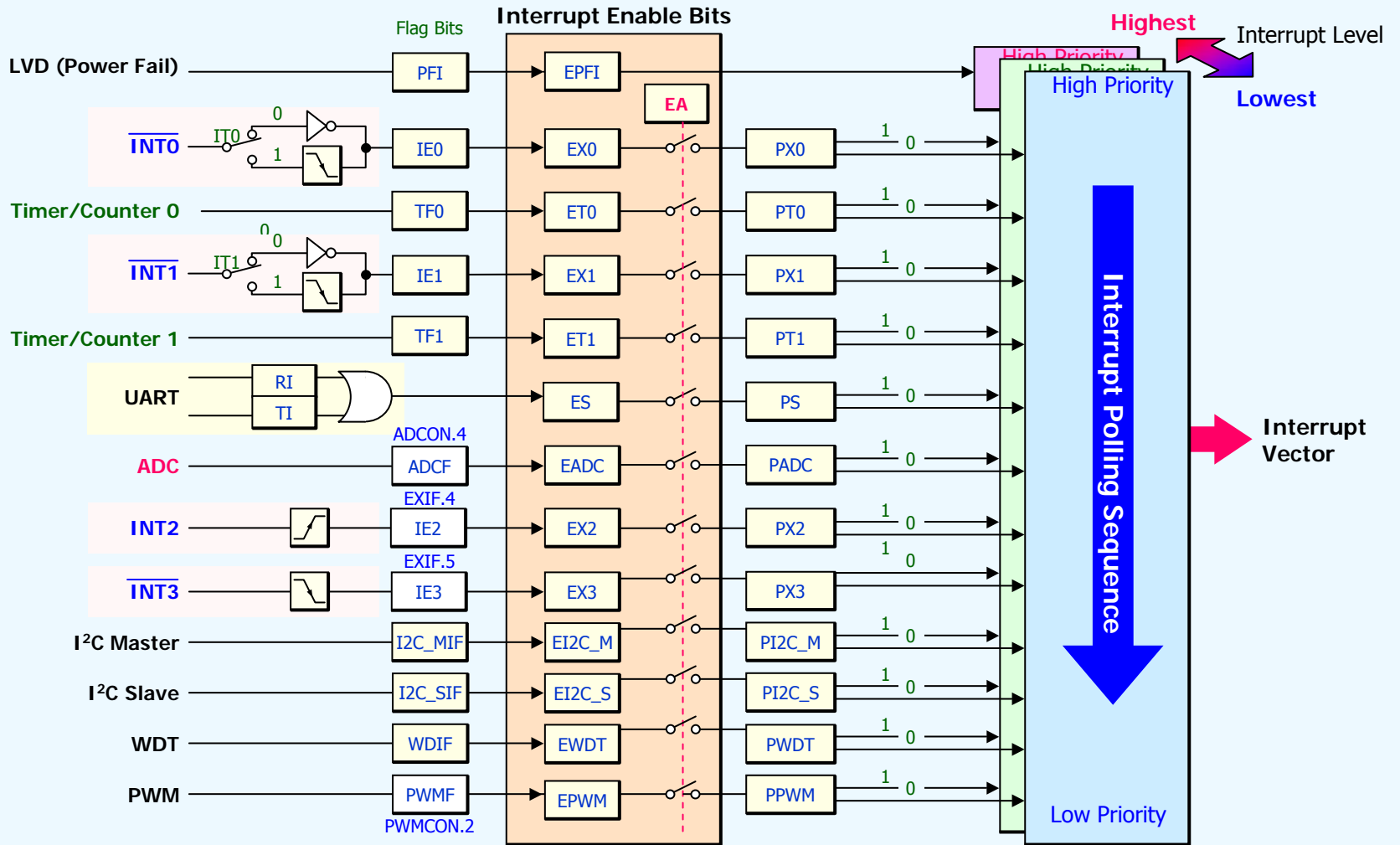
✓ ADCON (EFh)

AD_EN	AD_REQ	AD_END	ADCF	-	ADIV	SAR1	SAR0
-------	--------	--------	------	---	------	------	------

[Interrupt Vector Generation Flow]



6.13. 인터럽트 기능적 설명



6.14. Reset Circuit : 3가지 Reset 발생원

◆ LVD(POR) Reset

- ✓ Power-on Reset, 전원이 켜질 때.
- ✓ Power-fail Reset V_{RST} 아래로 떨어질 때

◆ 외부 RESET Pin

- ✓ 최소 24 클럭 주기 동안 RESETB Pin이 low를 유지해야 한다.
- ✓ 링 오실레이터가 동작하고 있어야 한다.

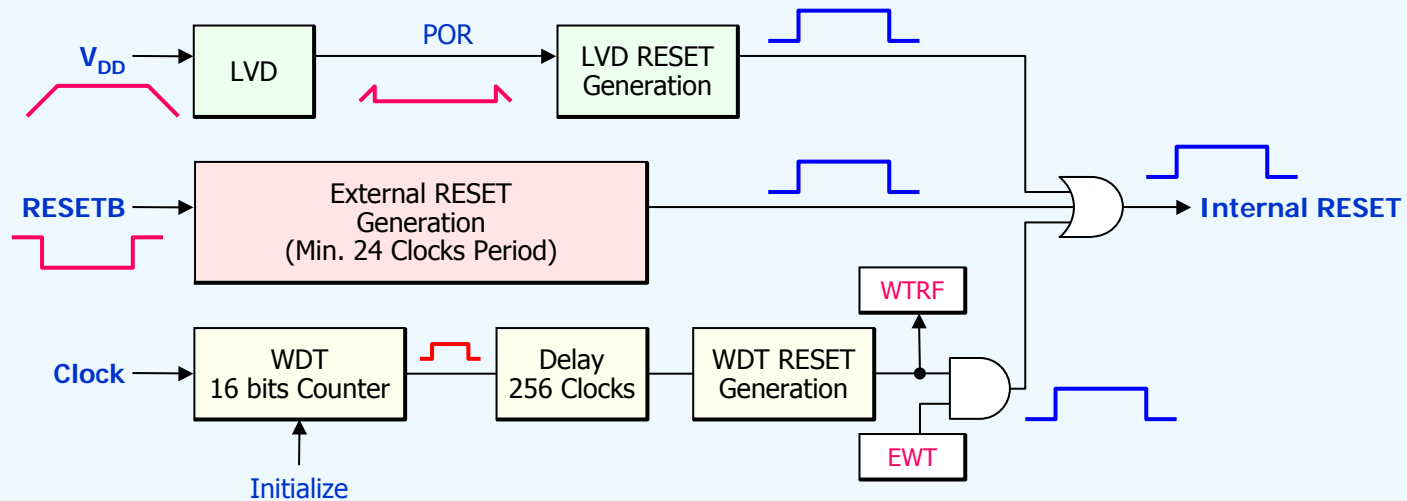
◆ WDT Reset : 소프트웨어로 인에이블이나 디세이블됨

✓ WDCON (D8h) : Watchdog Timer 제어 레지스터

WD1	WD0	EPFI	PFI	WDIF	WTRF	EWT	RWT
-----	-----	------	-----	------	------	-----	-----

R/W(1) R/W(1) R/W(0) R/W(1) R/W(0) R/W(0) R/W(0) R/W(0)

- WTRF : Watchdog Timer Reset 플래그. 소프트웨어로만 소거됨.
- EWT : Watchdog Timer Reset 인에이블.



6.15. 클럭 회로

- ◆ 2가지 클럭 발생원: 링 오실레이터 또는 외부 Crystal
- ◆ 기본지정은 링 오실레이터이다.
- ◆ 링 오실레이터로 Power-down Mode 탈출.

Control Flag				System Clock	Status Bit	
XT/RG	XTOFF	RINGON	RGSL		RGMD	XTUP
1	0	X	X	Crystal OSC.	0	1
0	X	1	X	Ring OSC.	1	0/1
1	0	X	0	Crystal OSC. (during Power-down Wake-up)	0	0
0	X	1	1	Ring OSC. (during Power-down Wake-up)	1	0

- ✓ **EXIF (91h)** : 외부 인터럽트 플래그 레지스터

-	-	IE3	IE2	XT/RG	RGMD	RGSL	BGS
R/W(0)	R/W(0)	R/W(0)	R(1)	R/W(0)	R/W(1)	R/W(1)	R/W(1)

- ✓ **OSCICN (BEh)** : 내부 링 오실레이터 제어 레지스터

-	-	-	-	DIV2	RINGON	DIV1	DIV0
R/W(1)	R/W(1)	R/W(0)	R/W(0)	R/W(1)	R/W(1)	R/W(0)	R/W(0)

- ✓ **STATUS (C5h)** : 크리스탈 상태 레지스터

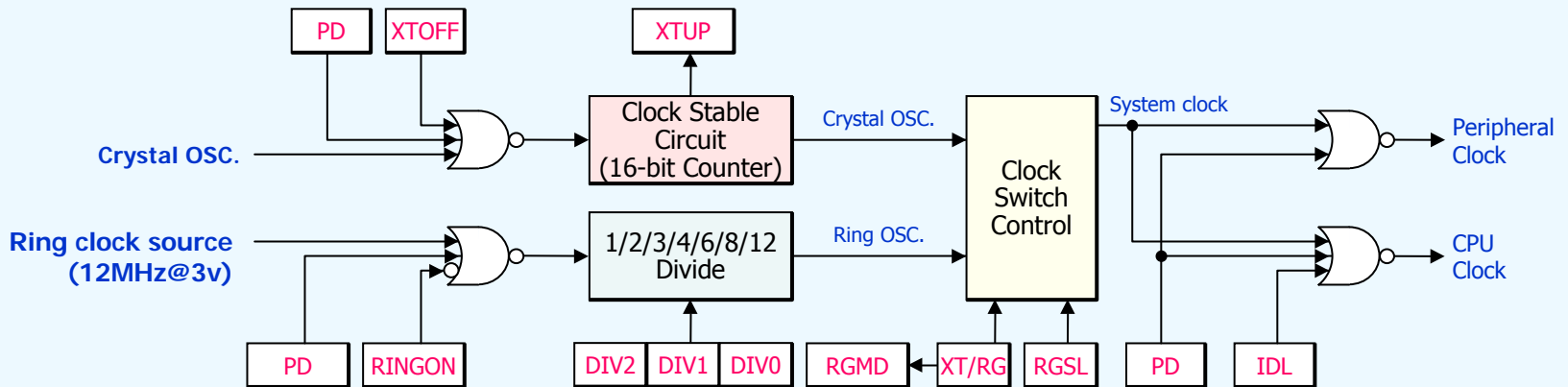
-	-	-	XTUP	-	-	-	-
R/W(1)	R/W(1)	R/W(0)	R/W(0)	R/W(1)	R/W(1)	R/W(0)	R/W(0)

- ✓ **PMR (C4h)** : 전력관리 제어 레지스터

-	-	-	-	XTOFF	-	-	-
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- ✓ **PCON (87h)** : 전력 제어 레지스터

SMOD1	-	-	POF	GF1	GF0	PD	IDL
R/W(0)	R/W(0)	R/W(0)	R/W(1)	R/W(0)	R/W(0)	R/W(0)	R/W(0)



6.16. 전력 관리 : 3가지 모드

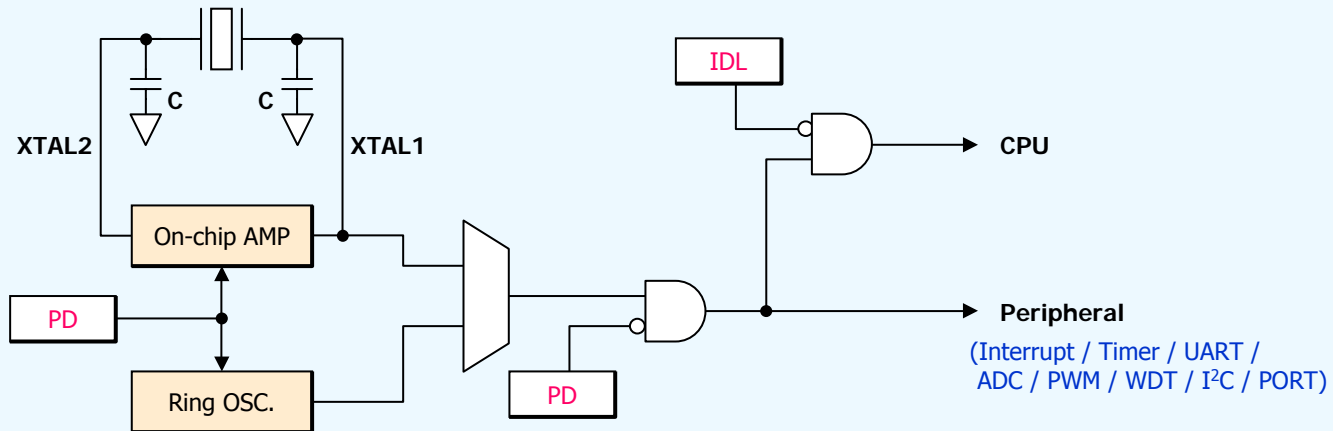
- ◆ **Active Mode** : CPU와 주변회로 동작.
- ◆ **Idle Mode** : 오직 주변회로만 동작.
 - ✓ 모든 종류의 인터럽트로 탈출. CPU는 동작 재개.
 - ✓ 모든 종류의 reset으로 탈출. CPU는 재출발.
- ◆ **Stop Mode 1/2** : CPU와 주변회로가 정지.
- ◆ **Stop Mode 1** : WDT는 정지
 - ✓ 외부 인터럽트 $\overline{INT0}$ / $\overline{INT1}$ (level detect).
→ MCU는 동작 재개.
 - ✓ 모든 종류의 reset으로 탈출. (ex: RESETB, LVD. etc)
→ MCU는 재출발.

- ◆ **Stop Mode 2** : WDT는 동작
 - ✓ 외부 인터럽트 $\overline{INT0}$ / $\overline{INT1}$ (level detect).
→ MCU는 동작 재개.
 - ✓ 모든 종류의 reset으로 탈출. (ex: RESETB, LVD. etc)
→ MCU는 재출발.

✓ **PCON (87h)** : 전력 제어 레지스터

SMOD1	-	-	POF	GF1	GF0	PD	IDL
R/W(0)			R/W(1)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- PD : 정지 (Power-down) 모드
- IDL : IDLE 모드.



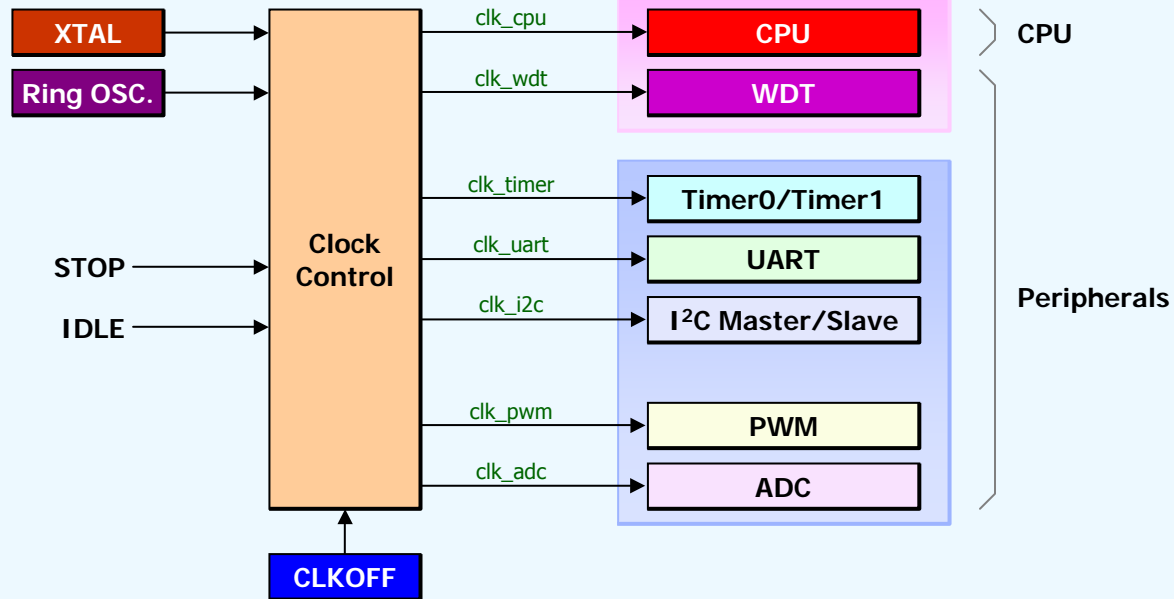
6.16. 전력 관리 : 클럭 회로

- ◆ MCU가 IDLE mode일 때, CPU는 정지하고 모든 주변 회로는 동작한다.
 - ✓ WDT, Timer, UART, I²C, PWM, & ADC
- ◆ MCU가 STOP mode일 때, CPU와 모든 주변회로는 정지한다.
- ◆ 아래의 주변회로들은 CLKOFF SFR에 의해 정지한다.
 - ✓ Timer0/1, UART, I²C, PWM, & ADC
 - ✓ CLKOFF SFR을 참조하라.

✓ **CLKOFF (94h)** : 주변회로 클럭 제어 레지스터

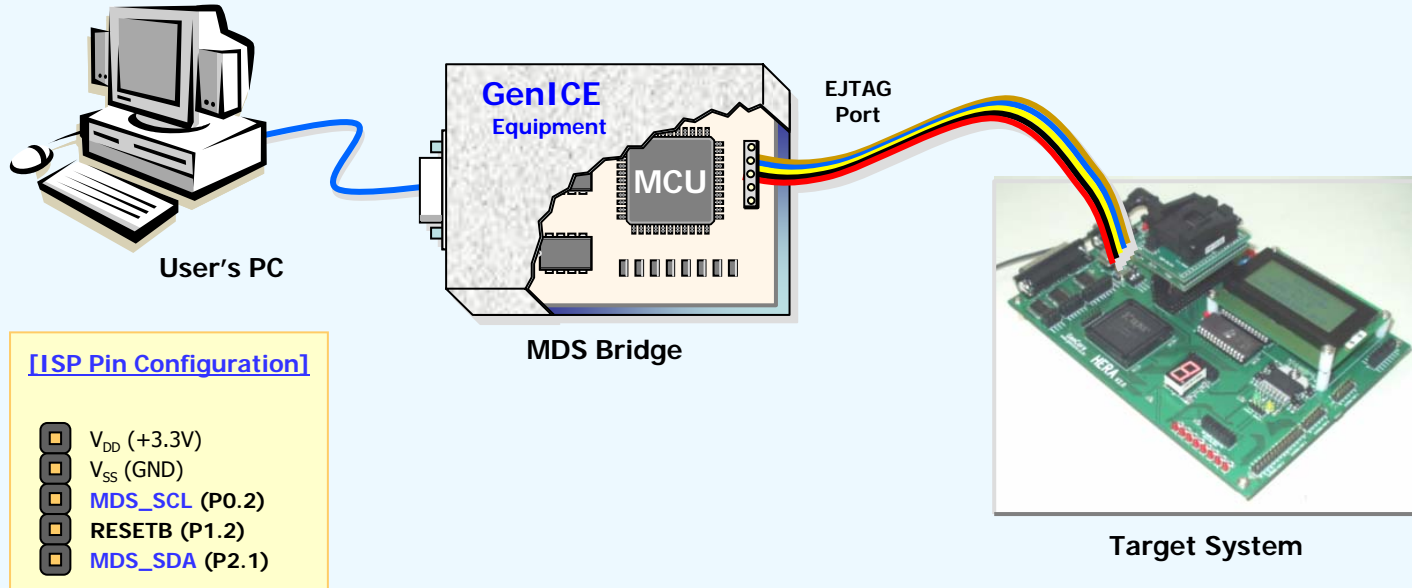
-	-	OFF_T01	OFF_UART	-	OFF_I2C	OFF_PWM	OFF_ADC
		R/W(0)	R/W(0)		R/W(0)	R/W(0)	R/W(0)

- OFF_ADC : ADC Block OFF. 1 = ADC가 정지한다.
- OFF_PWM : PWM Block OFF. 1 = PWM이 정지한다.
- OFF_I2C : I²C Block OFF. 1 = I²C master/slave가 정지한다.
- OFF_UART : UART Block OFF. 1 = UART가 정지한다.
- OFF_T01 : Timer0/1 Block OFF. 1 = Timer0와 Timer1이 정지한다.



6.17. ISP & Debugging

- ◆ Target system의 EJTAG를 사용하여 code memory (7KBytes)를 프로그램할 수 있다.
 - ✓ FLASH : 0x0000 ~ 0x1BFF (7,168 Bytes)
- ◆ Target system의 EJTAG를 사용하여 EEPROM (1KBytes)를 프로그램할 수 있다.
 - ✓ EEPROM : 0x1C00 ~ 0x1FFF (1,024 Bytes)
- ◆ GENICE를 사용하여 Debugging한다.



- ◆ If the operating voltage of target board is +5V, don't connect V_{DD} cable pin of GenICE52 equipment.
- ◆ Please, individually supply the voltage (+5V) to target board.
- ◆ The other cable pins of GenICE52 are +5V compatible.

6.17. ISP : 명령어 Set

명령어	기능
Blank	◆ 현재 연결된 device의 상태가 blank인지 확인한다.
Erase Chip	◆ 디바이스 메모리를 code와 data 둘 다 지운다. <ul style="list-style-type: none"> • Code : FLASH • User data : EEPROM • Information data : Lock bits, RING option, PGM/ERS time (ISP)
	◆ 디바이스는 blank의 프로그램 가능 상태가 된다.
Read Code/EEPROM	◆ 디바이스 메모리를 읽어라.
	◆ 읽은 결과를 CORERIVER ISP 소프트웨어 버퍼에 넣고 화면에 디스플레이한다.
Write Chip/EEPROM	◆ CORERIVER ISP 소프트웨어 버퍼의 모든 메모리 내용을 디바이스 메모리에 쓴다.
Verify Chip	◆ CORERIVER ISP 소프트웨어 버퍼와 디바이스 내부 메모리의 내용을 비교한다.
	◆ 버퍼의 내용이 디바이스 메모리에 정확히 복사되었으면, 성공이라는 결과를 리턴한다.
	◆ 차이가 있으면 불일치하는 바이트의 총 수와 함께 실패라는 결과를 리턴한다.

6.17. IAP (In Application Programming)

- ◆ MCU가 동작하는 동안 Code memory(7KB)와 EEPROM(1KB)가 프로그램될 수 있다.
- ◆ Program time : 대략 5.0 ms
- ◆ Program unit : 1 Byte
- ◆ IAP SFR

✓ **EEAEN (FFh) : IAP 루틴 접근 인에이블 레지스터**

-	-	-	-	-	-	-	EAEN
							R/W(0)

- EAEN : IAP 루틴 접근 인에이블

✓ **DPL (82h) : 데이터 포인트 하위 레지스터**

DPL.7	DPL.6	DPL.5	DPL.4	DPL.3	DPL.2	DPL.1	DPL.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

✓ **DPH (83h) : 데이터 포인트 상위 레지스터**

DPH.7	DPH.6	DPH.5	DPH.4	DPH.3	DPH.2	DPH.1	DPH.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

✓ **ACC/A (E0h) : Accumulator**

ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

✓ **B (F0h) : B 레지스터**

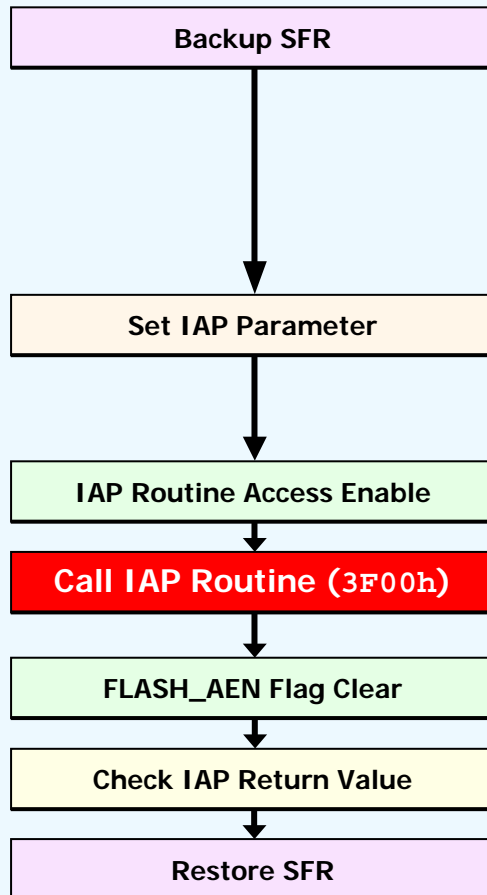
B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

6.17. IAP : 기능 Set

- ◆ IAP 호출 주소
 - ✓ 3F00h
- ◆ IAP 리턴 값
 - ✓ Success :[ACC] 83h or 86h
 - ✓ Program Fail :[ACC] FCh
 - ✓ Address Fail :[ACC] FDh
 - ✓ Lock Fail :[ACC] FEh
 - ✓ Command Fail :[ACC] FFh
- ◆ IAP 함수를 호출하기 전에, 모든 인터럽트는 디세이블되어야 한다.
- ◆ IAP 함수를 호출하기 전에, EEAEN SFR의 EAEN 플래그는 설정되어야 한다.
 - ✓ EAEN 플래그를 설정하거나 소거하기 위하여 오직 ORL/ANL 어셈블리 명령어를 사용하라.
- ◆ IAP 함수 실행 후에, PSW SFR의 값이 변할 수 있다.
- ◆ IAP 함수(Program/Erase)가 실행되려면 수십 밀리초 동안 PU가 정지되므로 어떤 인터럽트 루틴도 시간에 맞게 실행될 수 없다.

호출 주소	명령어	기능	B	ACC	DPTR	Return Value (ACC)
3F00h	Program	Program Code Byte	3h	Code to be programmed	FLASH address	83h/FCh/FDh/FEh/FFh
		Program EEPROM Byte	6h	Data to be programmed	EEPROM Address	86h/FCh/FDh/FEh/FFh

6.17. IAP : Coding Flow



[Example Code : IAP Program for FLASH]

```
PUSH A           ; backup acc
PUSH B           ; backup b
PUSH DPL        ; backup dptr
PUSH DPH
PUSH R6         ; backup R6
MOV R1, IE      ; backup IE SFR
CLR IE.7       ; Interrupt disable
```

```
MOV B, #03h     ; IAP Function setting
MOV A, #55h     ; Programmed Data
MOV DPTR, #01000h ; Programmed Address
```

```
ORL EEAEN, #01h ; IAP routine access enable
```

```
CALL 3F00h     ; Call IAP routine
```

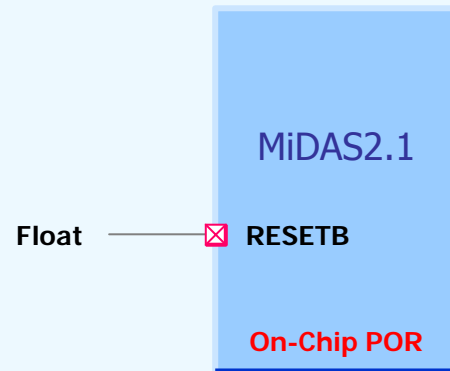
```
ANL EEAEN, #0FEh ; IAP routine access disable
```

```
CJNE A, #83h, IAP_FAIL ; Check return message
```

```
MOV IE, r1     ; restore IE SFR
POP R6         ; restore acc, b, dptr, R6
POP DPH
POP DPL
POP B
POP A
```

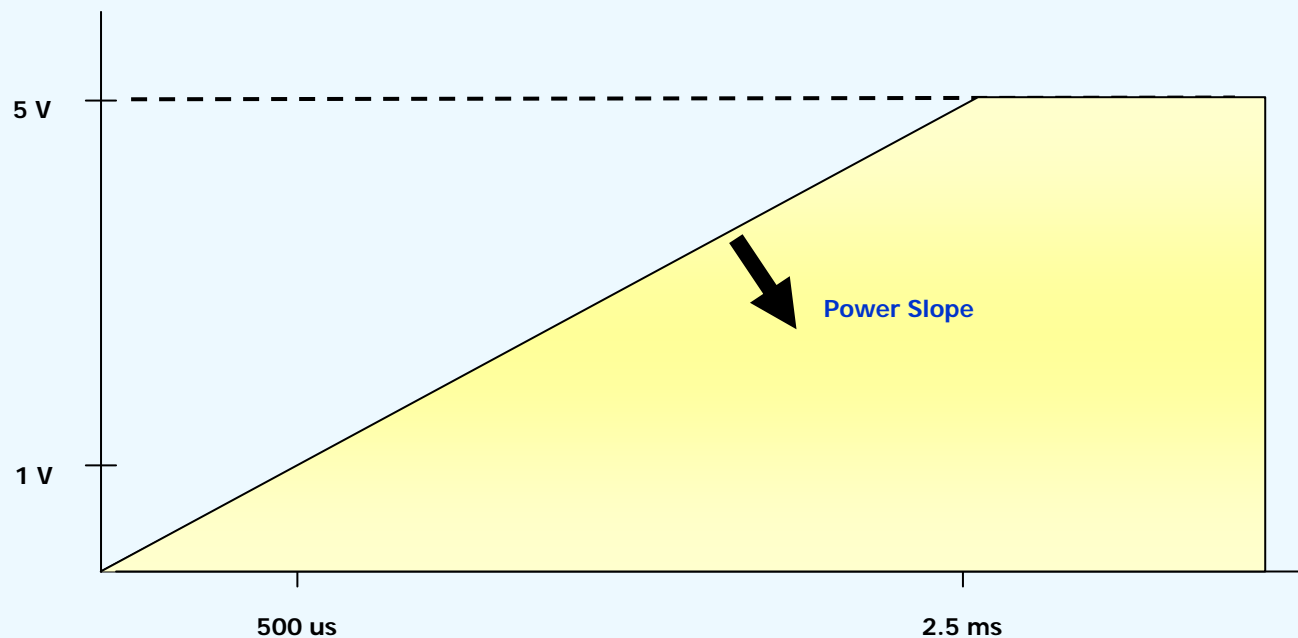
7. 강점 : On-Chip POR

- ◆ 칩 내부 POR (Power On Reset) 덕분에 필요없는 커패시터 또는 저항조차도 제거할 수 있어서 비용을 줄일 수 있다.
- ◆ 문제가 없다면 RESETB pin 조차도 float될 수 있다.



8. 전원 전압 상승 기울기

- ◆ 전원이 켜질 때 전압은 상승 기울기가 $0.0V/\mu s$ 에서 $1.0V/500\mu s$ ($5V/2.5ms$) 범위에 있어야 한다.
(즉, 정상 값에 도달할 때까지 단조증가해야 한다.)



9. 절대 최대 동작범위

항목	조건	범위
접지에 대한 핀 전압	-	-0.5V 에서 ($V_{DD}+0.5V$)
접지에 대한 V_{DD} 전압	-	-0.5V 에서 6.5V
출력 전압	-	-0.5V 에서 ($V_{DD}+0.5V$)
High인 출력 전류	입출력 pin 하나 동작	-25mA
	모든 입출력 pin 동작	-100mA
Low인 출력 전류	입출력 pin 하나 동작	+30mA
	모든 입출력 pin 동작	+150mA
동작 온도	-	-40 °C 에서 120 °C
보관 온도	-	-65 °C 에서 +150 °C
납땜 온도	-	최대 260 °C, 피크 5 °C이내에서 20초

10. DC 특성

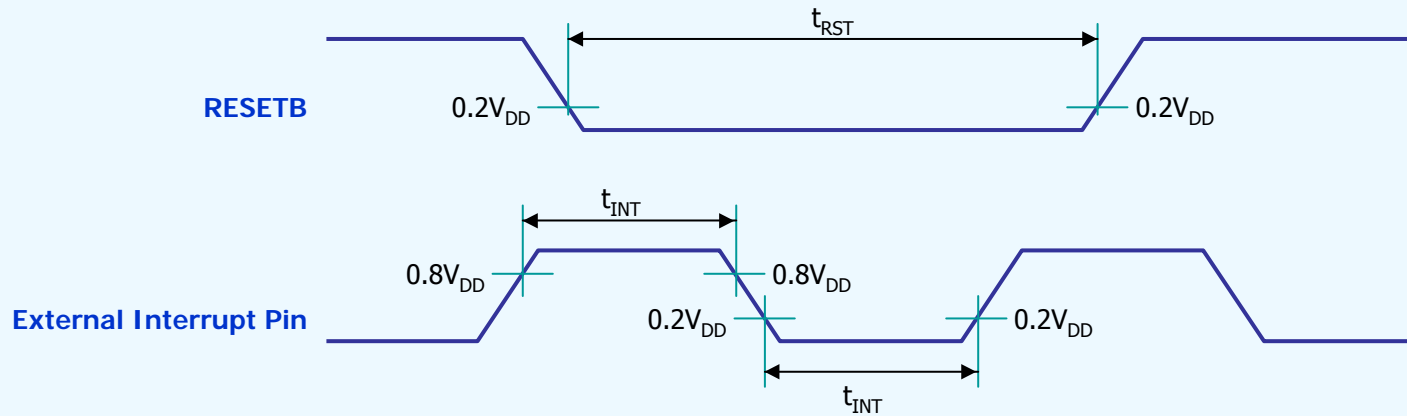
* 별도로 기재되지 않았다면, $T_A = -40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$, $V_{DD} = 2.2\text{V} \sim 5.5\text{V}$

Parameter	기호	Pin	조건	값			단위
				Min.	Typ.	Max.	
Low 입력 전압	V_{IL1}	RESETB,P0, P1,P2,P3	$V_{DD} = 2.2\text{V} \sim 5.5\text{V}$	-0.5	-	$0.2V_{DD} - 0.1$	V
	V_{IL2}	XTAL1, XTAL2		-0.5	-	$0.3V_{DD}$	
High 입력 전압	V_{IH1}	P0, P1,P2,P3,RESETB	$V_{DD} = 2.2\text{V} \sim 5.5\text{V}$	$0.2V_{DD} + 1.0$	-	$V_{DD} + 0.5$	V
	V_{IH2}	XTAL1, XTAL2		$0.7V_{DD}$	-	$V_{DD} + 0.5$	
Low인 출력 전압	V_{OL}	ALL pin	$I_{OL} = 20\text{mA} @ V_{DD} = 5\text{V}$	-	-	$0.3V_{DD}$	V
High인 출력 전압	V_{OH}	ALL pin	$I_{OH} = -15\text{mA} @ V_{DD} = 5\text{V}$ ($I_{OH} = -2.5\text{mA} @ V_{DD} = 2.6\text{V}$)	$0.7V_{DD}$	-	-	V
	V_{OHP}	Pull-up	$I_{OH} = -140\text{uA} @ V_{DD} = 5\text{V}$ ($I_{OH} = -20\text{uA} @ V_{DD} = 2.6\text{V}$)	$0.7V_{DD}$	-	-	V
입력 누설 전류	I_{IL}	All pins except XTAL1,XTAL2	$V_{IN} = V_{IH}$ or V_{IL}	-	-	± 1	μA
Pin Capacitance	C_{IO}	All	$V_{DD} = 5\text{V}$	-	10	-	pF

11. AC 특성

* 별도로 기재되지 않았다면, $T_A = -20\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$.

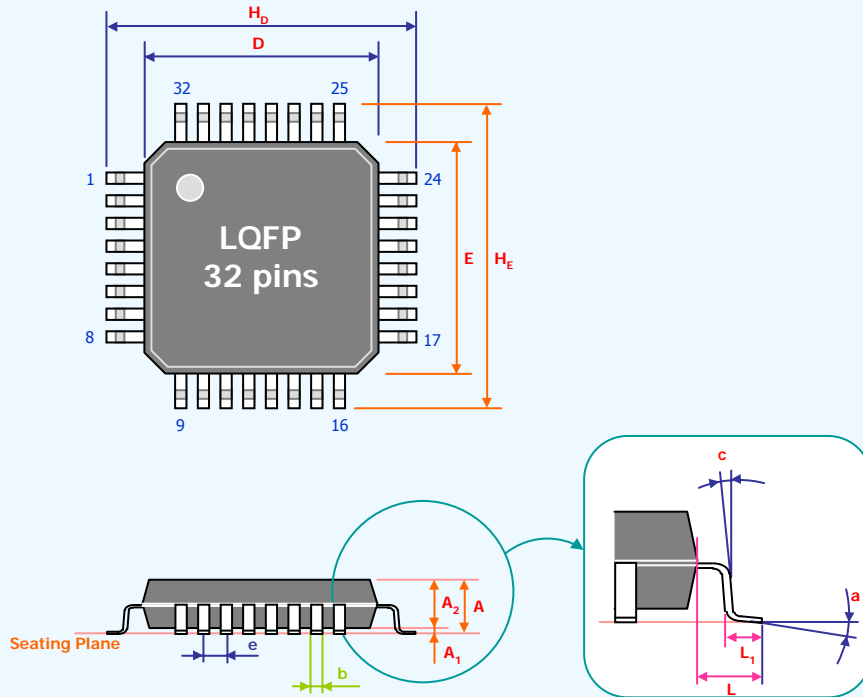
Parameter	기호	Pin	조건	값			단위
				Min.	Typ.	Max.	
동작 주파수	F_{OSC}	XTAL1, XTAL2	$V_{DD} = 5V \pm 10\%$	1	-	20	MHz
			$V_{DD} = 3V \pm 10\%$	1	-	12	
RESETB 입력 폭	t_{RST}	RESETB	$V_{DD} = 5V \pm 10\%$	24	-	-	F_{OSC}
			$V_{DD} = 3V \pm 10\%$	24	-	-	
외부 인터럽트 입력 폭	t_{INT}	External Interrupt	$V_{DD} = 5V \pm 10\%$	4	-	-	F_{OSC}
			$V_{DD} = 3V \pm 10\%$	4	-	-	



12. ADC 특성

Parameter	기호	조건	값			단위	
			Min.	Typ.	Max.		
공급 전압	V_{DDADC}	-	2.2	-	5.5	V	
입력 전압	V_{INADC}	-	V_{SS}	-	V_{DD}	V	
해상도	RES_{ADC}	-	-	10	-	bit	
동작 주파수	F_{ADC}	$V_{DD} = 4.5V \sim 5.5V$ $V_{DD} = 2.2V \sim 3.3V$	-	-	10 5	MHz	
변환 시간	t_{ADC}	-	-	$96 / F_{ADC}$	-	s	
전체 정확도	OA_{ADC}	$V_{DD} = 5V, F_{ADC} = 10MHz$ $V_{DD} = 3V, F_{ADC} = 5MHz$	-	± 2	± 4	LSB	
전체적 비선형성	INL_{ADC}	$V_{DD} = 5V, F_{ADC} = 10MHz$ $V_{DD} = 3V, F_{ADC} = 5MHz$	-	± 2	± 4	LSB	
부분적 비선형성	DNL_{ADC}	$V_{DD} = 5V, F_{ADC} = 10MHz$ $V_{DD} = 3V, F_{ADC} = 5MHz$	-	± 0.5	± 1	LSB	
0입력 때 오차	ZIE_{ADC}	$V_{DD} = 5V, F_{ADC} = 10MHz$ $V_{DD} = 3V, F_{ADC} = 5MHz$	-	± 2	± 4	LSB	
최대 입력 때 오차	FSE_{ADC}	$V_{DD} = 5V, F_{ADC} = 10MHz$ $V_{DD} = 3V, F_{ADC} = 5MHz$	-	± 2	± 4	LSB	
아날로그 입력 커패시턴스	C_{INADC}	-	-	10	15	pF	
ADC 전류	활동	I_{ADC}	$V_{DD} = 5V, F_{ADC} = 10MHz$	-	1	2	mA
			$V_{DD} = 3V, F_{ADC} = 5MHz$	-	0.3	0.6	
	정지	$V_{DD} = 5V$	-	-	100	nA	

13. Package Dimensions : 32-LQFP

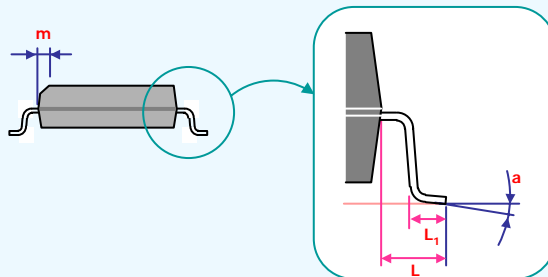
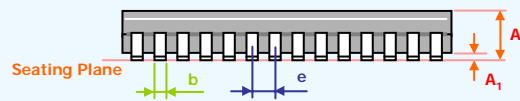
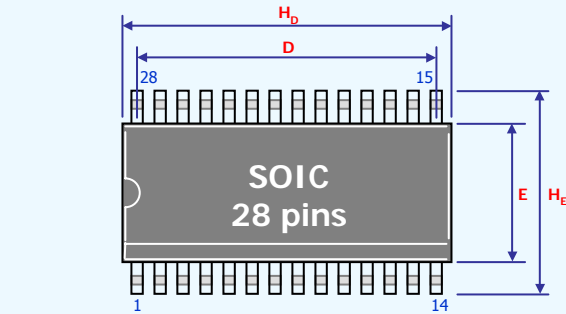


Symbol	Dimension in Inches			Dimension in mm		
	Min.	Nom.	Max.	Min.	Nom.	Max.
A	-	-	0.063	-	-	1.60
A_1	0.002	-	0.006	0.05	-	0.15
A_2	0.053	-	0.057	1.35	-	1.45
b	0.012	0.015	0.018	0.30	0.38	0.45
D	0.272	0.276	0.280	6.90	7.00	7.10
E	0.272	0.276	0.280	6.90	7.00	7.10
e	0.0315 BSC			0.80 BSC		
H_b	0.344	0.354	0.364	8.75	9.00	9.25
H_E	0.344	0.354	0.364	8.75	9.00	9.25
L	-	0.039	-	-	1.00	-
L_1	0.018	-	0.029	0.45	-	0.75
a	0°	-	7°	0°	-	7°
c	0°	-	-	0°	-	-

Notes:

1. Dimension D * E do not include interlead flash.
2. Dimension b_1 dose not include dambar protrusion/intrusion.
3. Controlling dimension: Inches
4. General appearance spec. should be based on final visual inspection spec.

13. Package Dimensions : 28-SOIC

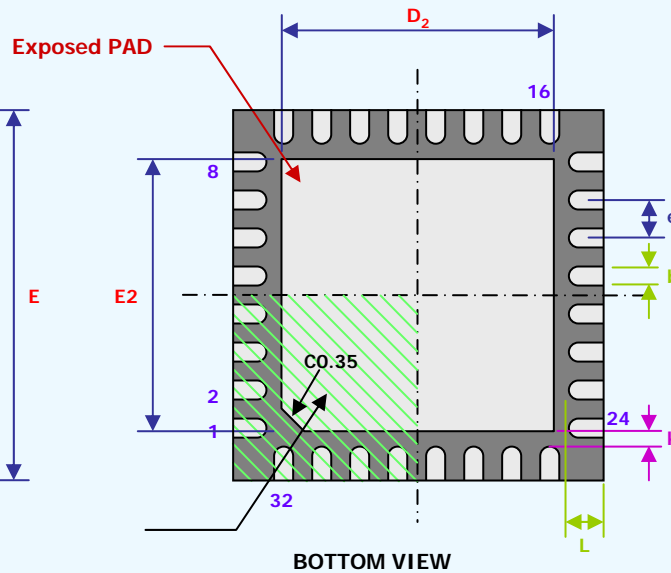
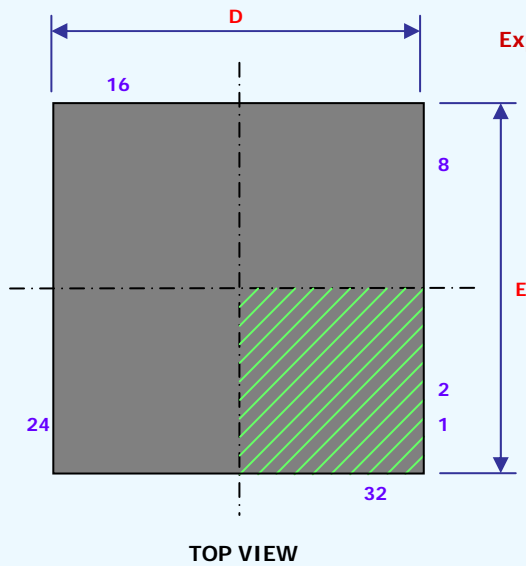


Symbol	Dimension in Inches			Dimension in mm		
	Min.	Nom.	Max.	Min.	Nom.	Max.
A	0.093	0.099	0.104	2.35	2.45	2.65
A ₁	0.004	0.008	0.012	0.10	0.20	0.30
b	0.014	0.016	0.019	0.35	0.42	0.49
D	-	0.65	-	-	16.51	-
E	0.291	0.295	0.299	7.40	7.50	7.60
H _b	0.697	0.705	0.713	17.70	17.90	18.10
H _e	0.404	0.411	0.419	10.26	10.45	10.65
L	0.057	0.058	0.060	1.43	1.48	1.53
L ₁	0.034	0.038	0.042	0.86	0.96	1.07
a	0°	-	8°	0°	-	8°
e	0.050 BSC			1.27 BSC		
m	0.020	0.025	0.030	0.50	0.62	0.75

Notes:

1. Dimension D Max. & S include mold flash or tie bar Burns.
2. Dimension E₁ dose not include interlead flash.
3. Dimension D & E₁ include mold mismatch and are determined at the mold parting line.
4. Dimension B₁ does not include dambar protrusion/intrusion.
5. General appearance spec. should be based on final visual inspection spec.

13. Package Dimensions : 32-QFN

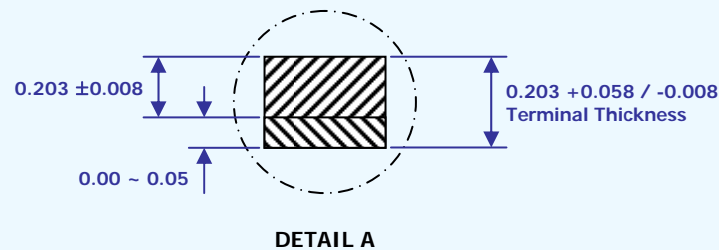
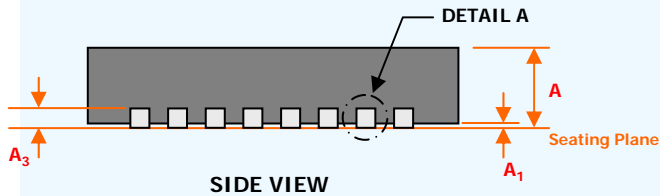


[32-QFN]

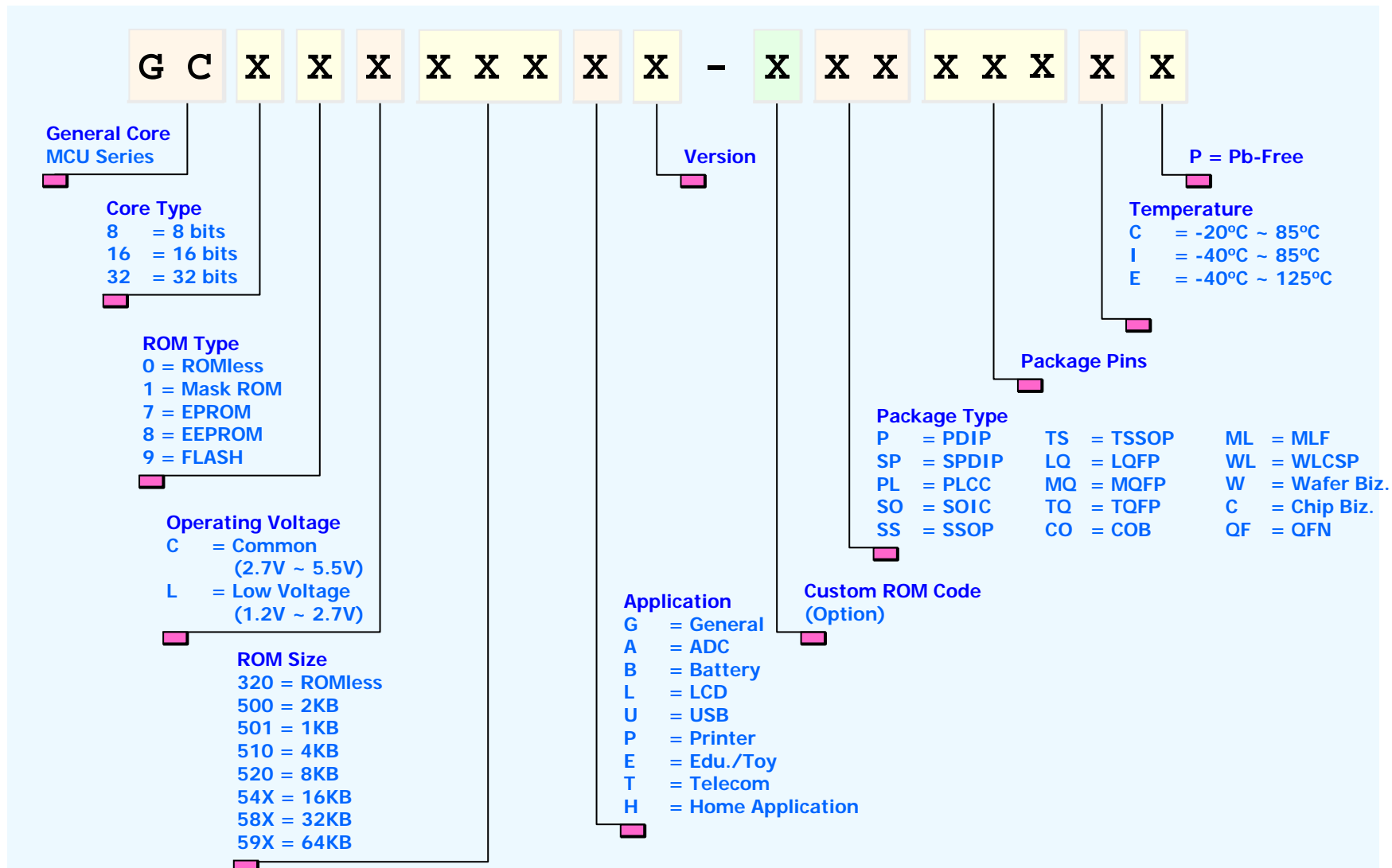
Symbol	Dimension in mm		
	Min.	Nom.	Max.
A	0.80	0.85	0.90
A ₁	0.00	0.02	0.05
A ₃	0.20 REF		
D	5.00 BSC		
E	5.00 BSC		
D ₂	3.35	3.45	3.55
E ₂	3.35	3.45	3.55
b	0.20	0.25	0.30
e	0.50 REF		
L	0.30	0.40	0.50
K	0.20	-	-

Notes:

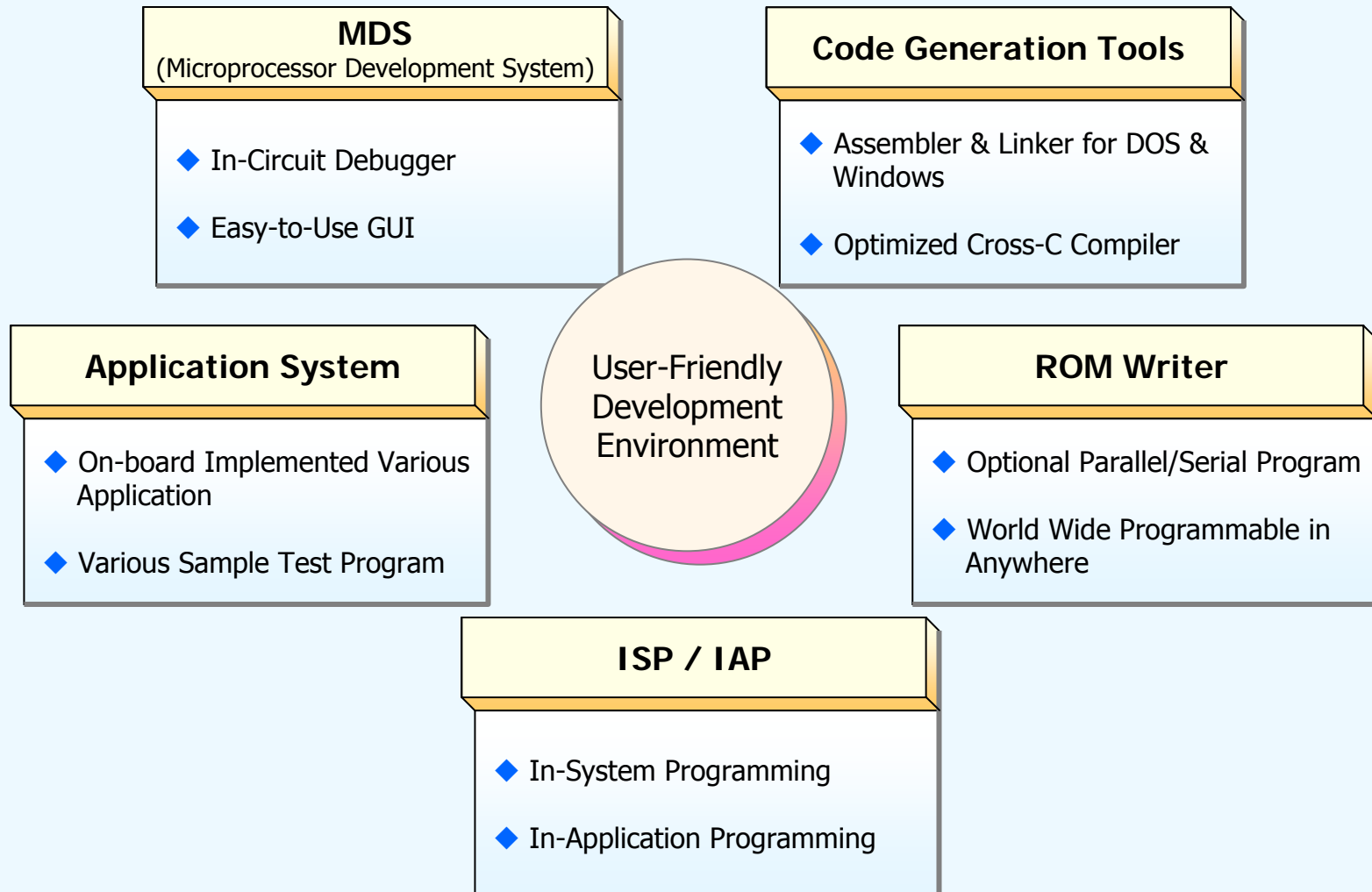
1. All Dimension are in mm. Angles in Degrees.
2. Pin 1 visual index feature may vary, but must be located within the hatched area.
3. Package is saw singulated.
4. Package is saw singulated.
5. Refer JEDEC MO-220.
6. BSC : Basic Dimension. Theoretically exact value shown without tolerances.
REF : Reference Dimension, Usually without tolerance, for information purpose only.



14. Product Numbering System



15. 지원 툴



Appendix A : Instruction Set (1/19)

◆ Note on Instruction Set and Addressing Modes

Notation	Descriptions
Rn	Register R0 ~ R7 of the currently selected Register Bank (RB0 ~ RB3).
direct	The address of 8-bit internal data location. This could be an IRAM location (0x00 ~ 0x7F; 128 bytes) or a SFR (0x80 ~ 0xFF).
@Ri	8-bit IRAM location (0x00 ~ 0xFF; 256 bytes) addressed indirectly through register R0 or R1.
#data	8-bit constant included in instruction.
#data16	16-bit constant included in instruction.
addr16	16-bit destination address. Used by LCALL & LJMP . The branch can be anywhere within the 64kbytes program memory address space. (MiDAS2.1 Family : 7kbytes program memory)
addr11	11-bit destination address. Used by ACALL & AJMP . The branch will be within the same 2kbytes page of program memory as the first byte of the following instruction.
rel	Signed (2's complement number) 8-bit offset byte. Used by SJMP and all conditional jumps. Range is -128 to +127 byte relative to first byte of the following instruction.
Bit	Direct addressed bit n IRAM of SFR.

Appendix A : Instruction Set (2/19)

ADD A, <src-byte>

Add

ADD	A, Rn
Operation :	(A) ← (A) + (Rn)
ADD	A, @Ri
Operation :	(A) ← (A) + ((Ri))
ADD	A, direct
Operation :	(A) ← (A) + (direct)
ADD	A, #date
Operation :	(A) ← (A) + data

1 cycle = 4 clocks

Encoding : HEX: 28h, #bytes: 1, Cycles: 1

0 0 1 0 1 r r r

Encoding : HEX: 26h, #bytes: 1, Cycles: 1

0 0 1 0 0 1 1 i

Encoding : HEX: 25h, #bytes: 2, Cycles: 2

0 0 1 0 0 1 0 1

direct addr

Encoding : HEX: 24h, #bytes: 2, Cycles: 2

0 0 1 0 0 1 0 0

immediate data

ADDC A, <src-byte>

Add with Carry

ADDC	A, Rn
Operation :	(A) ← (A) + (C) + (Rn)
ADDC	A, @Ri
Operation :	(A) ← (A) + (C) + ((Ri))
ADDC	A, direct
Operation :	(A) ← (A) + (C) + (direct)
ADDC	A, #date
Operation :	(A) ← (A) + (C) + data

Encoding : HEX: 38h, #bytes: 1, Cycles: 1

0 0 1 1 1 r r r

Encoding : HEX: 36h, #bytes: 1, Cycles: 1

0 0 1 1 0 1 1 i

Encoding : HEX: 35h, #bytes: 2, Cycles: 2

0 0 1 1 0 1 0 1

direct addr

Encoding : HEX: 34h, #bytes: 2, Cycles: 2

0 0 1 1 0 1 0 0

immediate data

Appendix A : Instruction Set (3/19)

SUBB A, <src-byte>

Subtract with Borrow

SUBB A, Rn

Operation : (A) \leftarrow (A) - (C) - (Rn)

SUBB A, @Ri

Operation : (A) \leftarrow (A) - (C) - ((Ri))

SUBB A, direct

Operation : (A) \leftarrow (A) - (C) - (direct)

SUBB A, #date

Operation : (A) \leftarrow (A) - (C) - data

INC <byte>

Increment

INC A

Operation : (A) \leftarrow (A) + 1

INC Rn

Operation : (Rn) \leftarrow (Rn) + 1

INC @Ri

Operation : ((Ri)) \leftarrow ((Ri)) + 1

INC direct

Operation : (direct) \leftarrow (direct) + 1

INC DPTR

Operation : (DPTR) \leftarrow (DPTR) + 1

Encoding : HEX: 98h, #bytes: 1, Cycles: 1

1 0 0 1 1 r r r

Encoding : HEX: 96h, #bytes: 1, Cycles: 1

1 0 0 1 0 1 1 i

Encoding : HEX: 95h, #bytes: 2, Cycles: 2

1 0 0 1 0 1 0 1

direct addr

Encoding : HEX: 94h, #bytes: 2, Cycles: 2

1 0 0 1 0 1 0 0

immediate data

Encoding : HEX: 04h, #bytes: 1, Cycles: 1

0 0 0 0 0 1 0 0

Encoding : HEX: 08h, #bytes: 1, Cycles: 1

0 0 0 0 1 r r r

Encoding : HEX: 06h, #bytes: 1, Cycles: 1

0 0 0 0 0 1 1 i

Encoding : HEX: 05h, #bytes: 2, Cycles: 2

0 0 0 0 0 1 0 1

direct addr

Encoding : HEX: A3h, #bytes: 1, Cycles: 1

1 0 1 0 0 0 1 1

Appendix A : Instruction Set (4/19)

DEC <byte>

Decrement

DEC	A
Operation :	(A) ← (A) - 1
DEC	Rn
Operation :	(Rn) ← (Rn) - 1
DEC	@Ri
Operation :	((Ri)) ← ((Ri)) - 1
DEC	direct
Operation :	(direct) ← (direct) - 1
DEC	DPTR
Operation :	(DPTR) ← (DPTR) - 1

Encoding : HEX: 14h, #bytes: 1, Cycles: 1

0 0 0 1 0 1 0 0

Encoding : HEX: 18h, #bytes: 1, Cycles: 1

0 0 0 1 1 r r r

Encoding : HEX: 16h, #bytes: 1, Cycles: 1

0 0 0 1 0 1 1 i

Encoding : HEX: 15h, #bytes: 1, Cycles: 1

0 0 0 1 0 1 0 1

direct addr

Encoding : HEX: A5h, #bytes: 1, Cycles: 1

1 0 1 0 0 1 0 1

MUL AB

Multiply

Operation :	(A) ₇₋₀ ← (A) × (B) (B) ₁₅₋₈
-------------	---

Encoding : HEX: A4h, #bytes: 1, Cycles: 3

1 0 1 0 0 1 0 0

DIV AB

Divide

Operation :	(A) ₁₅₋₈ ← (A) / (B) (B) ₇₋₀
-------------	---

Encoding : HEX: 84h, #bytes: 1, Cycles: 3

1 0 0 0 0 1 0 0

Appendix A : Instruction Set (5/19)

DA A

Decimal-adjust Accumulator for Addition

Operation : IF $[[A_{3-0}] > 9] \vee [(AC)=1]$
 THEN $(A_{3-0}) \leftarrow (A_{3-0}) + 6$
 IF $[[A_{7-4}] > 9] \vee [(C)=1]$
 THEN $(A_{7-4}) \leftarrow (A_{7-4}) + 6$

Encoding : HEX: D4h, #bytes: 1, Cycles: 1

1	1	0	1	0	1	0	0
---	---	---	---	---	---	---	---

ANL <dest-byte>, <src-byte>

Logical AND for byte variables

ANL A, Rn

Operation : $(A) \leftarrow (A) \wedge (Rn)$

Encoding : HEX: 58h, #bytes: 1, Cycles: 1

0	1	0	1	1	r	r	r
---	---	---	---	---	---	---	---

ANL A, @Ri

Operation : $(A) \leftarrow (A) \wedge ((Ri))$

Encoding : HEX: 56h, #bytes: 1, Cycles: 1

0	1	0	1	0	1	1	i
---	---	---	---	---	---	---	---

ANL A, direct

Operation : $(A) \leftarrow (A) \wedge (\text{direct})$

Encoding : HEX: 55h, #bytes: 2, Cycles: 2

0	1	0	1	0	1	0	1	direct addr
---	---	---	---	---	---	---	---	-------------

ANL A, #data

Operation : $(A) \leftarrow (A) \wedge \text{data}$

Encoding : HEX: 54h, #bytes: 2, Cycles: 2

0	1	0	1	0	1	0	0	immediate data
---	---	---	---	---	---	---	---	----------------

ANL direct, A

Operation : $(\text{direct}) \leftarrow (\text{direct}) \wedge (A)$

Encoding : HEX: 52h, #bytes: 2, Cycles: 2

0	1	0	1	0	0	1	0	direct addr
---	---	---	---	---	---	---	---	-------------

ANL direct, #data

Operation : $(\text{direct}) \leftarrow (\text{direct}) \wedge \text{data}$

Encoding : HEX: 53h, #bytes: 3, Cycles: 3

0	1	0	1	0	0	1	1	direct addr	immediate data
---	---	---	---	---	---	---	---	-------------	----------------

Appendix A : Instruction Set (6/19)

ANL C, <src-bit>

Logical AND for bit variables

ANL	C, bit
Operation :	(C) ← (C) ^ (bit)
ANL	C, /bit
Operation :	(C) ← (C) ^ ~(bit)

Encoding : HEX: 82h, #bytes: 2, Cycles: 2

1 0 0 0 0 0 1 0 bit addr

Encoding : HEX: B0h, #bytes: 2, Cycles: 2

1 0 1 1 0 0 0 0 bit addr

ORL <dest-byte>, <src-byte>

Logical OR for byte variables

ORL	A, Rn
Operation :	(A) ← (A) ∨ (Rn)
ORL	A, @Ri
Operation :	(A) ← (A) ∨ ((Ri))
ORL	A, direct
Operation :	(A) ← (A) ∨ (direct)
ORL	A, #data
Operation :	(A) ← (A) ∨ data
ORL	direct, A
Operation :	(direct) ← (direct) ∨ (A)
ORL	direct, #data
Operation :	(direct) ← (direct) ∨ data

Encoding : HEX: 48h, #bytes: 1, Cycles: 1

0 1 0 0 1 r r r

Encoding : HEX: 46h, #bytes: 1, Cycles: 1

0 1 0 0 0 1 1 i

Encoding : HEX: 45h, #bytes: 2, Cycles: 2

0 1 0 0 0 1 0 1 direct addr

Encoding : HEX: 44h, #bytes: 2, Cycles: 2

0 1 0 0 0 1 0 0 immediate data

Encoding : HEX: 42h, #bytes: 2, Cycles: 2

0 1 0 0 0 0 1 0 direct addr

Encoding : HEX: 43h, #bytes: 3, Cycles: 3

0 1 0 0 0 0 1 1 direct addr immediate data

Appendix A : Instruction Set (7/19)

ORL C, <src-byte>

Logical OR for byte variables

ORL C, bit

Operation : (C) \leftarrow (C) \vee (bit)

ORL C, /bit

Operation : (C) \leftarrow (C) \vee \sim (bit)

XRL <dest-byte>, <src-byte>

Logical Exclusive-OR for byte variables

XRL A, Rn

Operation : (A) \leftarrow (A) \oplus (Rn)

XRL A, @Ri

Operation : (A) \leftarrow (A) \oplus ((Ri))

XRL A, direct

Operation : (A) \leftarrow (A) \oplus (direct)

XRL A, #data

Operation : (A) \leftarrow (A) \oplus data

XRL direct, A

Operation : (direct) \leftarrow (direct) \oplus (A)

XRL direct, #data

Operation : (direct) \leftarrow (direct) \oplus data

Encoding : HEX: 72h, #bytes: 2, Cycles: 2

0 1 1 1 0 0 1 0

bit addr

Encoding : HEX: A0h, #bytes: 2, Cycles: 2

1 0 1 0 0 0 0 0

bit addr

Encoding : HEX: 68h, #bytes: 1, Cycles: 1

0 1 1 0 1 r r r

Encoding : HEX: 66h, #bytes: 1, Cycles: 1

0 1 1 0 0 1 1 i

Encoding : HEX: 65h, #bytes: 2, Cycles: 2

0 1 1 0 0 1 0 1

direct addr

Encoding : HEX: 64h, #bytes: 2, Cycles: 2

0 1 1 0 0 1 0 0

immediate data

Encoding : HEX: 62h, #bytes: 2, Cycles: 2

0 1 1 0 0 0 1 0

direct addr

Encoding : HEX: 63h, #bytes: 3, Cycles: 3

0 1 1 0 0 0 1 1

direct addr

immediate Data

Appendix A : Instruction Set (8/19)

CLR A

Clear Accumulator

Operation : (A) \leftarrow 0

Encoding : HEX: E4h, #bytes: 1, Cycles: 1

1 1 1 0 0 1 0 0

CLR <bit>

Clear bit

CLR C

Operation : (C) \leftarrow 0

Encoding : HEX: C3h, #bytes: 1, Cycles: 1

1 1 0 0 0 0 1 1

CLR bit

Operation : (bit) \leftarrow 0

Encoding : HEX: C2h, #bytes: 2, Cycles: 2

1 1 0 0 0 0 1 0

bit addr

CPL A

Complement Accumulator

Operation : (A) \leftarrow ~(A)

Encoding : HEX: F4h, #bytes: 1, Cycles: 1

1 1 1 1 0 1 0 0

CPL <bit>

Complement bit

CPL C

Operation : (C) \leftarrow ~(C)

Encoding : HEX: B3h, #bytes: 1, Cycles: 1

1 0 1 1 0 0 1 1

CPL bit

Operation : (bit) \leftarrow ~(bit)

Encoding : HEX: B2h, #bytes: 2, Cycles: 2

1 0 1 1 0 0 1 0

bit addr

Appendix A : Instruction Set (9/19)

RL A

Rotate Accumulator Left

Operation : $(A_{n+1}) \leftarrow (A_n)$ $n=0\sim6$
 $(A_0) \leftarrow (A_7)$

Encoding : HEX: 23h, #bytes: 1, Cycles: 1

0	0	1	0	0	0	1	1
---	---	---	---	---	---	---	---

RLC A

Rotate Accumulator Left through the Carry flag

Operation : $(A_{n+1}) \leftarrow (A_n)$ $n=0\sim6$
 $(A_0) \leftarrow (C)$
 $(C) \leftarrow (A_7)$

Encoding : HEX: 33h, #bytes: 1, Cycles: 1

0	0	1	1	0	0	1	1
---	---	---	---	---	---	---	---

RR A

Rotate Accumulator Right

Operation : $(A_n) \leftarrow (A_{n+1})$ $n=0\sim6$
 $(A_7) \leftarrow (A_0)$

Encoding : HEX: 03h, #bytes: 1, Cycles: 1

0	0	0	0	0	0	1	1
---	---	---	---	---	---	---	---

RRC A

Rotate Accumulator Right through the Carry flag

Operation : $(A_n) \leftarrow (A_{n+1})$ $n=0\sim6$
 $(A_7) \leftarrow (C)$
 $(C) \leftarrow (A_0)$

Encoding : HEX: 13h, #bytes: 1, Cycles: 1

0	0	0	1	0	0	1	1
---	---	---	---	---	---	---	---

SWAP A

Swap nibbles within the Accumulator

Operation : $(A_{3-0}) \leftrightarrow (A_{7-4})$

Encoding : HEX: C4h, #bytes: 1, Cycles: 1

1	1	0	0	0	1	0	0
---	---	---	---	---	---	---	---

Appendix A : Instruction Set (10/19)

MOV <dest-byte>, <src-byte>

Move byte variable

MOV	A, Rn
Operation :	(A) ← (Rn)
MOV	A, @Ri
Operation :	(A) ← ((Ri))
MOV	A, direct
Operation :	(A) ← (direct)
MOV	A, #date
Operation :	(A) ← data
MOV	Rn, A
Operation :	(Rn) ← (A)
MOV	Rn, direct
Operation :	(Rn) ← (direct)
MOV	Rn, #date
Operation :	(Rn) ← data
MOV	direct, A
Operation :	(direct) ← (A)
MOV	direct, Rn
Operation :	(direct) ← (Rn)

Encoding : HEX: E8h, #bytes: 1, Cycles: 1

1 1 1 0 1 r r r

Encoding : HEX: E6h, #bytes: 1, Cycles: 1

1 1 1 0 0 1 1 i

Encoding : HEX: E5h, #bytes: 2, Cycles: 2

1 1 1 0 0 1 0 1

direct addr

Encoding : HEX: 74h, #bytes: 2, Cycles: 2

0 1 1 1 0 1 0 0

immediate data

Encoding : HEX: F8h, #bytes: 1, Cycles: 1

1 1 1 1 1 r r r

Encoding : HEX: A8h, #bytes: 2, Cycles: 2

1 0 1 0 1 r r r

direct addr

Encoding : HEX: 78h, #bytes: 2, Cycles: 2

0 1 1 1 1 r r r

immediate data

Encoding : HEX: F5h, #bytes: 2, Cycles: 2

1 1 1 1 0 1 0 1

direct addr

Encoding : HEX: 88h, #bytes: 2, Cycles: 2

1 0 0 0 1 r r r

direct addr

Appendix A : Instruction Set (11/19)

MOV direct, @Ri

Operation : (direct) ← ((Ri))

MOV direct, direct

Operation : (direct) ← (direct)

MOV direct, #data

Operation : (direct) ← data

MOV @Ri, A

Operation : ((Ri)) ← (A)

MOV @Ri, direct

Operation : ((Ri)) ← (direct)

MOV @Ri, #data

Operation : ((Ri)) ← data

MOV <dest-bit>, <src-bit>

Move bit data

MOV C, bit

Operation : (C) ← (bit)

MOV bit, C

Operation : (bit) ← (C)

Encoding : HEX: 86h, #bytes: 2, Cycles: 2

1 0 0 0 0 1 1 i

direct addr

Encoding : HEX: 85h, #bytes: 3, Cycles: 3

1 0 0 0 0 1 0 1

direct addr(src)

direct addr(dest)

Encoding : HEX: 75h, #bytes: 3, Cycles: 3

0 1 1 1 0 1 0 1

direct addr

immediate data

Encoding : HEX: F6h, #bytes: 1, Cycles: 1

1 1 1 1 0 1 1 i

Encoding : HEX: A6h, #bytes: 2, Cycles: 2

1 0 1 0 0 1 1 i

direct addr

Encoding : HEX: 76h, #bytes: 2, Cycles: 2

0 1 1 1 0 1 1 i

immediate Data

Encoding : HEX: A2h, #bytes: 2, Cycles: 2

1 0 1 0 0 0 1 0

bit addr

Encoding : HEX: 92h, #bytes: 2, Cycles: 2

1 0 0 1 0 0 1 0

bit addr

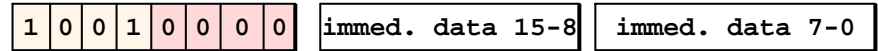
Appendix A : Instruction Set (12/19)

MOV DPTR, #data16

Load Data Pointer with a 16-bit constant

Operation : (DPTR) \leftarrow data₁₅₋₀
(DPH,DPL) \leftarrow (data₁₅₋₈,data₇₋₀)

Encoding : HEX: 90h, #bytes: 3, Cycles: 3



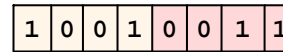
MOVC A, @A + <base-reg>

Move Code byte

MOVC A, @A + DPTR

Operation : (A) \leftarrow ((A) + (DPTR))

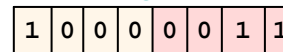
Encoding : HEX: 93h, #bytes: 1, Cycles: 2



MOVC A, @A + PC

Operation : (PC) \leftarrow (PC) + 1
(A) \leftarrow ((A) + (PC))

Encoding : HEX: 83h, #bytes: 1, Cycles: 2



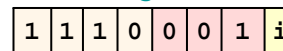
MOVX <dest-byte>, <src-byte>

Move External

MOVX A, @Ri

Operation : (A) \leftarrow ((Ri))

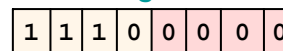
Encoding : HEX: E2h, #bytes: 1, Cycles: 3



MOVX A, @DPTR

Operation : (A) \leftarrow ((DPTR))

Encoding : HEX: E0h, #bytes: 1, Cycles: 3



MOVX @Ri, A

Operation : ((Ri)) \leftarrow (A)

Encoding : HEX: F2h, #bytes: 1, Cycles: 3



MOVX @DPTR, A

Operation : ((DPTR)) \leftarrow (A)

Encoding : HEX: F0h, #bytes: 1, Cycles: 3



Appendix A : Instruction Set (13/19)

XCH A, <src-byte>

Exchange Accumulator with byte variable

XCH A, Rn

Operation : (A) ↔ (Rn)

XCH A, @Ri

Operation : (A) ↔ ((Ri))

XCH A, direct

Operation : (A) ↔ (direct)

Encoding : HEX: C8h, #bytes: 1, Cycles: 1

1	1	0	0	1	r	r	r
---	---	---	---	---	---	---	---

Encoding : HEX: C6h, #bytes: 1, Cycles: 1

1	1	0	0	0	1	1	i
---	---	---	---	---	---	---	---

Encoding : HEX: C5h, #bytes: 2, Cycles: 2

1	1	0	0	0	1	0	1
---	---	---	---	---	---	---	---

direct addr

XCHD A, @Ri

Exchange Digit

Operation : (A₃₋₀) ↔ ((Ri))₃₋₀

Encoding : HEX: D6h, #bytes: 1, Cycles: 1

1	1	0	1	0	1	1	i
---	---	---	---	---	---	---	---

PUSH direct

Push onto stack

Operation :
 (SP) ← (SP) + 1
 ((SP)) ← (direct)

Encoding : HEX: C0h, #bytes: 2, Cycles: 2

1	1	0	0	0	0	0	0
---	---	---	---	---	---	---	---

direct addr

POP direct

Pop onto stack

Operation :
 (direct) ← ((SP))
 (SP) ← (SP) - 1

Encoding : HEX: D0h, #bytes: 2, Cycles: 2

1	1	0	1	0	0	0	0
---	---	---	---	---	---	---	---

direct addr

Appendix A : Instruction Set (14/19)

SETB <bit>

Set bit

SETB C

Operation : (C) \leftarrow 1

SETB bit

Operation : (bit) \leftarrow 1

JC rel

Jump if Carry is set

Operation : (PC) \leftarrow (PC) + 2
If (C) = 1, then (PC) \leftarrow (PC) + rel

JNC rel

Jump if Carry is not set

Operation : (PC) \leftarrow (PC) + 2
If (C) = 0, then (PC) \leftarrow (PC) + rel

JB bit, rel

Jump if Bit is set

Operation : (PC) \leftarrow (PC) + 3
If (bit) = 1, then (PC) \leftarrow (PC)+rel

JNB bit, rel

Jump if Bit is not set

Operation : (PC) \leftarrow (PC) + 3
If (bit) = 0, then (PC) \leftarrow (PC)+rel

Encoding : HEX: D3h, #bytes: 1, Cycles: 1

1 1 0 1 0 0 1 1

Encoding : HEX: D2h, #bytes: 2, Cycles: 2

1 1 0 1 0 0 1 0

bit addr

Encoding : HEX: 40h, #bytes: 2, Cycles: 3

0 1 0 0 0 0 0 0

relative addr

Encoding : HEX: 50h, #bytes: 2, Cycles: 3

0 1 0 1 0 0 0 0

relative addr

Encoding : HEX: 20h, #bytes: 3, Cycles: 4

0 0 1 0 0 0 0 0

bit addr

relative addr

Encoding : HEX: 30h, #bytes: 3, Cycles: 4

0 0 1 1 0 0 0 0

bit addr

relative addr

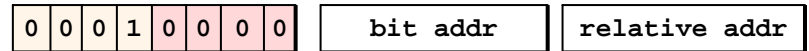
Appendix A : Instruction Set (15/19)

JBC bit, rel

Jump if Bit is set and Clear bit

Operation : (PC) \leftarrow (PC) + 3
 If (bit) = 1,
 then (bit) \leftarrow 0, (PC) \leftarrow (PC) + rel

Encoding : HEX: 10h, #bytes: 3, Cycles: 4

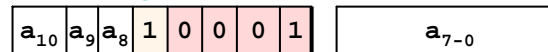


ACALL addr11

Absolute Subroutine Call

Operation : (PC) \leftarrow (PC) + 2
 (SP) \leftarrow (SP) + 1
 ((SP)) \leftarrow (PC₇₋₀)
 (SP) \leftarrow (SP) + 1
 ((SP)) \leftarrow (PC₁₅₋₈)
 (PC₁₀₋₀) \leftarrow page address

Encoding : HEX: 11h, #bytes: 2, Cycles: 3

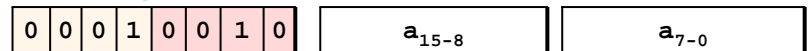


LCALL addr16

Long Subroutine Call

Operation : (PC) \leftarrow (PC) + 3
 (SP) \leftarrow (SP) + 1
 ((SP)) \leftarrow (PC₇₋₀)
 (SP) \leftarrow (SP) + 1
 ((SP)) \leftarrow (PC₁₅₋₈)
 (PC) \leftarrow addr₁₅₋₀

Encoding : HEX: 12h, #bytes: 3, Cycles: 4



Appendix A : Instruction Set (16/19)

RET

Return from Subroutine

Operation : $(PC_{15-8}) \leftarrow ((SP))$
 $(SP) \leftarrow (SP) - 1$
 $(PC_{7-0}) \leftarrow ((SP))$
 $(SP) \leftarrow (SP) - 1$

Encoding : HEX: 22h, #bytes: 1, Cycles: 2

0	0	1	0	0	0	1	0
---	---	---	---	---	---	---	---

RETI

Return from Interrupt

Operation : $(PC_{15-8}) \leftarrow ((SP))$
 $(SP) \leftarrow (SP) - 1$
 $(PC_{7-0}) \leftarrow ((SP))$
 $(SP) \leftarrow (SP) - 1$

Encoding : HEX: 32h, #bytes: 1, Cycles: 2

0	0	1	1	0	0	1	0
---	---	---	---	---	---	---	---

AJMP addr11

Absolute Jump

Operation : $(PC) \leftarrow (PC) + 2$
 $(PC_{10-0}) \leftarrow \text{page address}$

Encoding : HEX: 01h, #bytes: 2, Cycles: 3

a_{10}	a_9	a_8	0	0	0	0	1	a_{7-0}
----------	-------	-------	---	---	---	---	---	-----------

SJMP rel

Short Jump (Relative address)

Operation : $(PC) \leftarrow (PC) + 2$
 $(PC_{10-0}) \leftarrow (PC) + \text{rel}$

Encoding : HEX: 80h, #bytes: 2, Cycles: 3

1	0	0	0	0	0	0	0	relative addr
---	---	---	---	---	---	---	---	---------------

LJMP addr16

Long Jump

Operation : $(PC) \leftarrow \text{addr}_{15-0}$

Encoding : HEX: 02h, #bytes: 3, Cycles: 4

0	0	0	0	0	0	1	0	a_{15-8}	a_{7-0}
---	---	---	---	---	---	---	---	------------	-----------

Appendix A : Instruction Set (17/19)

JMP @A + DPTR

Jump Indirect Relative to the DPTR

Operation : (PC) \leftarrow (A) + (DPTR)

Encoding : HEX: 73h, #bytes: 1, Cycles: 2

0	1	1	1	0	0	1	1
---	---	---	---	---	---	---	---

JZ rel

Jump if Accumulator is Zero

Operation : (PC) \leftarrow (PC) + 2
If (A)=0, then (PC) \leftarrow (PC) + rel

Encoding : HEX: 60h, #bytes: 2, Cycles: 3

0	1	1	0	0	0	0	0
---	---	---	---	---	---	---	---

relative addr

JNZ rel

Jump if Accumulator is Not Zero

Operation : (PC) \leftarrow (PC) + 2
If (A) \neq 0, then (PC) \leftarrow (PC) + rel

Encoding : HEX: 70h, #bytes: 2, Cycles: 3

0	1	1	1	0	0	0	0
---	---	---	---	---	---	---	---

relative addr

Appendix A : Instruction Set (18/19)

CJNE <dest-byte>, <src-byte>, rel

Compare and Jump if Not Equal

CJNE A, direct, rel

```

(PC) ← (PC) + 3
If (A) ≠ (direct),
Operation :   then (PC) ← (PC) + rel
If (A) < (direct), then (C) ← 1
Else          (C) ← 0
    
```

CJNE A, #data, rel

```

(PC) ← (PC) + 3
If (A) ≠ data,
Operation :   then (PC) ← (PC) + rel
If (A) < data, then (C) ← 1
Else          (C) ← 0
    
```

CJNE Rn, #data, rel

```

(PC) ← (PC) + 3
If (Rn) ≠ data,
Operation :   then (PC) ← (PC) + rel
If (Rn) < data, then (C) ← 1
Else          (C) ← 0
    
```

CJNE @Ri, #data, rel

```

(PC) ← (PC) + 3
If ((Ri)) ≠ data,
Operation :   then (PC) ← (PC) + rel
If ((Ri)) < data, then (C) ← 1
Else          (C) ← 0
    
```

Encoding : HEX: B5h, #bytes: 3, Cycles: 4

1	0	1	1	0	1	0	1	direct addr	relative addr
---	---	---	---	---	---	---	---	-------------	---------------

Encoding : HEX: B4h, #bytes: 3, Cycles: 4

1	0	1	1	0	1	0	0	immediate data	relative addr
---	---	---	---	---	---	---	---	----------------	---------------

Encoding : HEX: B8h, #bytes: 3, Cycles: 4

1	0	1	1	1	r	r	r	immediate data	relative addr
---	---	---	---	---	---	---	---	----------------	---------------

Encoding : HEX: B6h, #bytes: 3, Cycles: 4

1	0	1	1	0	1	1	i	immediate data	relative addr
---	---	---	---	---	---	---	---	----------------	---------------

Appendix A : Instruction Set (19/19)

DJNZ <byte>, rel

Decrement and Jump if Not Zero

DJNZ Rn, rel

Operation :
(PC) ← (PC) + 2
(Rn) ← (Rn) - 1
If (Rn) ≠ 0, then (PC) ← (PC) + rel

Encoding : HEX: D8h, #bytes: 2, Cycles: 3

1	1	0	1	1	r	r	r
---	---	---	---	---	---	---	---

relative addr

DJNZ direct, rel

Operation :
(PC) ← (PC) + 3
(direct) ← (direct) - 1
If (direct) ≠ 0,
then (PC) ← (PC) + rel

Encoding : HEX: D5h, #bytes: 3, Cycles: 4

1	1	0	1	0	1	0	1
---	---	---	---	---	---	---	---

direct addr

relative addr

NOP

No Operation

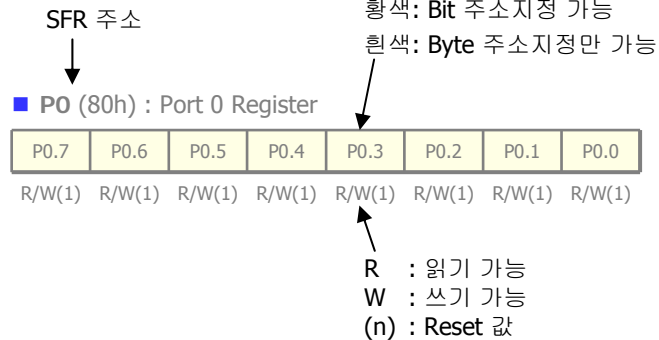
Operation : (PC) ← (PC) + 1

Encoding : HEX: 00h, #bytes: 1, Cycles: 1

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

Appendix B : SFR Description [80h ~ 87h] (1/12)

[SFR 기술 읽는 방법]



■ PO (80h) : Port 0 레지스터

P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)

- ◆ Port 0 레지스터

■ SP (81h) : 스택 포인터 레지스터

SP.7	SP.6	SP.5	SP.4	SP.3	SP.2	SP.1	SP.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(1)	R/W(1)	R/W(1)

- ◆ 스택이 시작할 위치를 지시한다.
- ◆ PUSH에 의해 증가하고 POP에 의해 감소한다.

■ DPL (82h) : 데이터 포인터 하위 레지스터

DPL.7	DPL.6	DPL.5	DPL.4	DPL.3	DPL.2	DPL.1	DPL.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

■ DPH (83h) : 데이터 포인터 상위 레지스터

DPH.7	DPH.6	DPH.5	DPH.4	DPH.3	DPH.2	DPH.1	DPH.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

■ PCON (87h) : 전력 제어 레지스터

SMOD1	-	-	POF	GF1	GF0	PD	IDL
R/W(0)			R/W(1)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- ◆ SMOD1 : UART 모드 1에서 Timer 1 보레이트 두 배.
- ◆ POF : 전원 꺼짐 플래그.
전원이 켜지면, 하드웨어에 의해 설정된다.
- ◆ GF1, GF0: 범용 플래그.
- ◆ PD : Power-down (Stop) 모드.
- ◆ IDL : IDLE 모드.

Appendix B : SFR Description [88h ~ 90h] (2/12)

■ TCON (88h) : Timer/Counter 0/1 제어 레지스터

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
-----	-----	-----	-----	-----	-----	-----	-----

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- ◆ TF1 : Timer 1 오버플로우.
- ◆ TR1 : Timer 1 동작.
- ◆ TF0 : Timer 0 오버플로우.
- ◆ TR0 : Timer 0 동작.
- ◆ IE1 : 외부 인터럽트 1 플래그.
- ◆ IT1 : 외부 인터럽트 1 방식 선택 플래그.
Edge Detect (IT1=1). Level Detect (IT1=0).
- ◆ IE0 : 외부 인터럽트 0 플래그.
- ◆ IT0 : 외부 인터럽트 0 방식 선택 플래그.
Edge Detect (IT0=1). Level Detect (IT0=0).

■ TMOD (89h) : Timer/Counter 0 모드 제어 레지스터

-	-	-	-	GATE	C/T	M1	M0
---	---	---	---	------	-----	----	----

R/W(0) R/W(0) R/W(0) R/W(0)

- ◆ GATE[3] : Timer 0 Gate 제어. TRx(TCON 내)가 설정되고 GATE=1이면, Timer x는 오직 INTx pin이 high 상태일 때 동작 (하드웨어 제어). GATE=0이면, Timer x는 TRx=1이면 동작 (소프트웨어 제어).
- ◆ C/T[2] : Timer 0 Counter/Timer 기능 선택.
0 = F_{osc}/12를 계수하는 타이머. (기본지정)
1 = T0 pin의 펄스를 계수.
- ◆ M1, M0 : Timer 0 모드 선택.
[0,0] : Mode 0. 13-bit T/C.
[0,1] : Mode 1. 16-bit T/C.
[1,0] : Mode 2. 8-bit T/C, 자동재입력
[1,1] : Mode 3. Two 8-bit T/C

■ TLO (8Ah) : Timer/Counter 0 하위 바이트 레지스터

TL0.7	TL0.6	TL0.5	TL0.4	TL0.3	TL0.2	TL0.1	TL0.0
-------	-------	-------	-------	-------	-------	-------	-------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

■ TL1 (8Bh) : Timer/Counter 1 하위 바이트 레지스터

TL1.7	TL1.6	TL1.5	TL1.4	TL1.3	TL1.2	TL1.1	TL1.0
-------	-------	-------	-------	-------	-------	-------	-------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

■ TH0 (8Ch) : Timer/Counter 0 상위 바이트 레지스터

TH0.7	TH0.6	TH0.5	TH0.4	TH0.3	TH0.2	TH0.1	TH0.0
-------	-------	-------	-------	-------	-------	-------	-------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

■ TH1 (8Dh) : Timer/Counter 1 상위 바이트 레지스터

TH1.7	TH1.6	TH1.5	TH1.4	TH1.3	TH1.2	TH1.1	TH1.0
-------	-------	-------	-------	-------	-------	-------	-------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

■ P1 (90h) : Port 1 레지스터

P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
------	------	------	------	------	------	------	------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ◆ P1.0 : XTAL 1 alternate. (기본지정 = XTAL1).
- ◆ P1.1 : XTAL 2 alternate. (기본지정 = XTAL2).
입출력 pin들을 위하여 ALTSEL과 PMR SFR을 참조하라.
- ◆ P1.2 : RESETB alternate. (기본지정 = RESETB)
입출력 pin을 위하여 ALTSEL을 참조하라.

Appendix B : SFR Description [91h ~ 95h] (3/12)

■ EXIF (91h) : 외부 인터럽트 플래그 레지스터

-	-	IE3	IE2	XT/RG	RGMD	RGSL	BGS
		R/W(0)	R/W(0)	R/W(0)	R(1)	R/W(0)	R/W(1)

- ◆ IE3 : 외부 인터럽트 3 플래그. 소프트웨어에 의하여 소거된다.
- ◆ IE2 : 외부 인터럽트 2 플래그. 소프트웨어에 의하여 소거된다.
- ◆ XT/RG : 시스템 클럭 선택.
0 = 시스템 클럭으로 내부 링 오실레이터 선택.
1 = 시스템 클럭으로 외부 클럭 선택.
- ◆ RGMD : 링 모드. 현재 시스템 클럭이 링이나 XTAL이다.
일반적으로 XT/RG의 반대이다.
- ◆ RGSL : 정지 모드에서 깨어날 때 링 선택 비트.
1 = XTAL 클럭을 시스템 클럭으로 사용하지만 정지 모드에서 깨어날 때는 65,536 클럭 동안 링 오실레이터를 사용한다.
- ◆ BGS : Band-gap 선택. (기본지정 = 1)
0 = Band-gap block (LVD)이 정지 모드에서는 정지함.
정상 모드에서는 동작한다.
정지 모드에서 상당한 전력 절감이 이루어진다.
1 = Band-gap block (LVD)이 정지모드에서 동작함.

■ CLKOFF (94h) : 주변회로 클럭 제어 레지스터

-	-	OFF_T01	OFF_UART	-	OFF_I2C	OFF_PWM	OFF_ADC
		R/W(0)	R/W(0)		R/W(0)	R/W(0)	R/W(0)

- ◆ OFF_ADC : ADC block OFF. 1 = ADC 정지.
- ◆ OFF_PWM : PWM block OFF. 1 = PWM 정지.
- ◆ OFF_I2C : I²C block OFF. 1 = I²C Master & Slave 정지.
- ◆ OFF_UART : UART block OFF. 1 = UART 정지.
- ◆ OFF_T01 : Timer0/1 block OFF. 1 = Timer0와 Timer1 정지.

■ RINGCON (95h) : Ring 제어 Configuration 레지스터

S7	S6	S5	S4	S3	S2	S1	S0
R/W(0)	R/W(10)	R/W(1)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- ◆ RINGCON[7:0] : 내부 링 오실레이터 조정됨.

Appendix B : SFR Description [96h ~ 9Ah] (4/12)

■ LVDCON (96h) : LVD 제어 레지스터

-	-	-	-	-	LVDCON.2	LVDCON.1	LVDCON.0
					R/W(0)	R/W(0)	R/W(0)

- ◆ LVDCON[2:0] : LVD의 인터럽트 레벨 선택.
- ◆ LVDCON[2:0] = 000b, LVD 인터럽트 레벨 = 4.0V (기본지정)
- ◆ LVDCON[2:0] = 001b, LVD 인터럽트 레벨 = 3.6V
- ◆ LVDCON[2:0] = 010b, LVD 인터럽트 레벨 = 3.2V
- ◆ LVDCON[2:0] = 011b, LVD 인터럽트 레벨 = 3.0V
- ◆ LVDCON[2:0] = 100b, LVD 인터럽트 레벨 = 2.8V
- ◆ LVDCON[2:0] = 101b, LVD 인터럽트 레벨 = 2.6V
- ◆ LVDCON[2:0] = 110b, LVD 인터럽트 레벨 = 2.4V
- ◆ LVDCON[2:0] = 111b, LVD 인터럽트 레벨 = 2.2V

■ LVDST (97h) : LVD 상태 레지스터

LVD7	LVD6	LVD5	LVD4	LVD3	LVD2	LVD1	LVD0
R(0)	R(0)	R(0)	R(0)	R(0)	R(0)	R(0)	R(0)

- ◆ LVD7 = 1 when VDD ≤ 4.0V
- ◆ LVD6 = 1 when VDD ≤ 3.6V
- ◆ LVD5 = 1 when VDD ≤ 3.2V
- ◆ LVD4 = 1 when VDD ≤ 3.0V
- ◆ LVD3 = 1 when VDD ≤ 2.8V
- ◆ LVD2 = 1 when VDD ≤ 2.6V
- ◆ LVD1 = 1 when VDD ≤ 2.4V
- ◆ LVD0 = 1 when VDD ≤ 2.2V

■ SCON (98h) : 직렬 단자 UART0 제어 레지스터

-	-	-	REN	-	-	TI	RI
			R/W(0)			R/W(0)	R/W(0)

- ◆ REN : 직렬 수신 인에이블.
- ◆ TI : 송신 인터럽트 플래그. 소프트웨어로 소거해야 함.
- ◆ RI : 수신 인터럽트 플래그. 소프트웨어로 소거해야 함..

■ SBUF (99h) : 직렬 데이터 버퍼 레지스터

SBUF.7	SBUF.6	SBUF.5	SBUF.4	SBUF.3	SBUF.2	SBUF.1	SBUF.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- ◆ 송수신 버퍼는 분리되어 있다.
- ◆ 읽기와 쓰기 주소는 같다.

■ I2C_SCON (9Ah) : I²C Slave 제어 레지스터

-	WR	RD	BUSY	-	I2C_SIF	MODE	RUN
	R(0)	R(0)	R(0)		R/W(0)	R/W(0)	R/W(0)

- ◆ WR : I²C 쓰기 동작 상태. 하드웨어에 의해 소거.
- ◆ RD : I²C 읽기 동작 상태. 하드웨어에 의해 소거.
- ◆ BUSY : 현재 I²C slave 상태. 하드웨어에 의해 소거.
1 = I²C slave가 현재 동작.
- ◆ I2C_SCIF: I²C slave 인터럽트 플래그.
각 바이트가 송신 또는 수신될 때마다 설정된다.
소프트웨어에 의해서 소거.
- ◆ MODE : I²C slave Mode.
0 = Mode 0. 메모리 주소 포함 (기본지정).
1 = Mode 1. 메모리 주소 없음
- ◆ RUN : I²C slave 시작.
소프트웨어에 의해 소거.

Appendix B : SFR Description [9Bh ~ A4h] (5/12)

■ I2C_SDEV (9Bh) : I²C Slave 디바이스 주소 레지스터

SDEV.7	SDEV.6	SDEV.5	SDEV.4	SDEV.3	SDEV.2	SDEV.1	SDEV.0
--------	--------	--------	--------	--------	--------	--------	--------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- ◆ SDEV[7:1] : I²C slave 디바이스 주소
- ◆ SDEV[0] : 사용 안함. Don't care.

■ I2C_SADR (9Ch) : I²C Slave 메모리 주소 레지스터

SADR.7	SADR.6	SADR.5	SADR.4	SADR.3	SADR.2	SADR.1	SADR.0
--------	--------	--------	--------	--------	--------	--------	--------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

■ I2C_SDAT (9Dh) : I²C Slave 데이터 레지스터

SDAT.7	SDAT.6	SDAT.5	SDAT.4	SDAT.3	SDAT.2	SDAT.1	SDAT.0
--------	--------	--------	--------	--------	--------	--------	--------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

■ I2C_MDAT (9Eh) : I²C Master 데이터 레지스터

MDAT.7	MDAT.6	MDAT.5	MDAT.4	MDAT.3	MDAT.2	MDAT.1	MDAT.0
--------	--------	--------	--------	--------	--------	--------	--------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

■ P2 (A0h) : Port 2 레지스터

P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
------	------	------	------	------	------	------	------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ◆ Port 2 레지스터

■ I2C_MCON (A2h) : I²C Master 제어 레지스터

-	-	-	I2C_MIF	OP	BYPASS	MODE	RUN
---	---	---	---------	----	--------	------	-----

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- ◆ I2C_MIF : I²C Master 인터럽트 플래그.
한 바이트가 수신되거나 송신될 때마다 설정된다.
소프트웨어에 의해 소거.
- ◆ OP : I²C 읽기/쓰기 동작.
0 = 쓰기 동작 (기본지정).
1 = 읽기 동작.
- ◆ BYPASS : I²C Master 와 Slave에서 Bypass Mode.
- ◆ MODE : I²C Master Mode.
0 = Mode 0. Memory 주소 포함 (기본지정).
1 = Mode 1. Memory 주소 없음.
- ◆ RUN : I²C Master 동작.
하드웨어에 의해 소거.

■ I2C_MDEV (A3h) : I²C Master 디바이스 주소 레지스터

MDEV.7	MDEV.6	MDEV.5	MDEV.4	MDEV.3	MDEV.2	MDEV.1	MDEV.0
--------	--------	--------	--------	--------	--------	--------	--------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

■ I2C_MADR (A4h) : I²C Master 메모리 주소 레지스터

MADR.7	MADR.6	MADR.5	MADR.4	MADR.3	MADR.2	MADR.1	MADR.0
--------	--------	--------	--------	--------	--------	--------	--------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

Appendix B : SFR Description [A5h ~ B8h] (6/12)

■ I2C_MNUM (A5h) : I²C Master 다중 바이트 수 레지스터

MNUM.7	MNUM.6	MNUM.5	MNUM.4	MNUM.3	MNUM.2	MNUM.1	MNUM.0
--------	--------	--------	--------	--------	--------	--------	--------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

◆ 다중 바이트 수 = I2C_MNUM + 1

■ I2C_MSCL (A6h) : I²C Master 클럭 분주비 하위 바이트 레지스터

MSCL.7	MSCL.6	MSCL.5	MSCL.4	MSCL.3	MSCL.2	MSCL.1	MSCL.0
--------	--------	--------	--------	--------	--------	--------	--------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

◆ I²C Master의 주파수 (F_{I2C}) = $F_{OSC} / \{(I2C_MSCH, I2C_MSCL)*4\}$

■ I2C_MSCH (A7h) : I²C Master 클럭 분주비 상위 바이트 레지스터

MSCH.7	MSCH.6	MSCH.5	MSCH.4	MSCH.3	MSCH.2	MSCH.1	MSCH.0
--------	--------	--------	--------	--------	--------	--------	--------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

■ IE (A8h) : 인터럽트 인에이블 레지스터

EA	EADC	-	ES	ET1	EX1	ET0	EX0
----	------	---	----	-----	-----	-----	-----

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- ◆ EA : 전체 인터럽트 인에이블.
- ◆ EADC : ADC 인터럽트 인에이블.
- ◆ ES : 직렬 단자 인터럽트 인에이블.
- ◆ ET1 : Timer 1 인터럽트 인에이블.
- ◆ EX1 : External interrupt 1 인에이블.
- ◆ ET0 : Timer0 인터럽트 인에이블.
- ◆ EX0 : External interrupt 0 인에이블.

■ P3 (B0h) : Port 3 레지스터

-	-	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
---	---	------	------	------	------	------	------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

◆ Port 3 레지스터

■ IP (B8h) : 인터럽트 우선순위 레지스터

-	PADC	-	PS	PT1	PX1	PT0	PX0
---	------	---	----	-----	-----	-----	-----

R(1) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- ◆ PADC : ADC 인터럽트 우선순위.
- ◆ PS : 직렬 단자 인터럽트 우선순위.
- ◆ PT1 : Timer 1 인터럽트 우선순위.
- ◆ PX1 : External interrupt 1 우선순위.
- ◆ PT0 : Timer 0 인터럽트 우선순위.
- ◆ PX0 : External interrupt 0 우선순위.

Appendix B : SFR Description [BEh ~ D0h] (7/12)

■ OSCICN (BEh) : 내부 링 오실레이터 제어 레지스터

-	-	-	-	DIV2	RINGON	DIV1	DIV0
				R/W(1)	R/W(1)	R/W(0)	R/W(0)

- ◆ RINGON : 1 = 내부 링 오실레이터 동작.
0 = 내부 링 오실레이터 정지.
XTRG = 0이면 RINGON 비트를 소거하지 말라.
- ◆ DIV2, DIV1, DIV0 : 링 오실레이터 분주.
링 오실레이터가 12MHz(@3V)로 동작한다면,

[0,0,0]	= 12MHz/1	(12.0 MHz)
[0,0,1]	= 12MHz/2	(6.0 MHz)
[0,1,0]	= 12MHz/4	(3.0 MHz)
[0,1,1]	= 12MHz/8	(1.5 MHz)
[1,0,0]	= 12MHz/3	(4.0 MHz) (기본지정)
[1,0,1]	= 12MHz/6	(2.0 MHz)
[1,1,0]	= 12MHz/12	(1.0 MHz)
[1,1,1]	= Reserved.	

■ PMR (C4h) : 전력 관리 제어 레지스터

-	-	-	-	XTOFF	-	-	-
R/W(0)							

- ◆ XTOFF : 외부 크리스탈 오실레이터를 위한 내부 증폭기 디세이블.
1 = 외부 크리스탈 정지.
0 = 외부 크리스탈 동작(기본지정).
XT/RG = 1일 때 XTOFF를 설정하지 말라.

■ STATUS (C5h) : 크리스탈 상태 레지스터

-	-	-	XTUP	-	-	-	-
R(0)							

- ◆ XTUP : 크리스탈 오실레이터 정상 동작 상태.
크리스탈 상태가 안정인지(1) 아닌지(0)를 나타낸다.
Power-on reset과 모든 종류 reset 때 하드웨어에 의해 소거.
XTOFF 비트가 설정될 때 하드웨어가 소거.
XT/RG = 1일 때, 정지 모드에서 탈출하는 동안 소거됨.
크리스탈이 안정화된 후에 하드웨어가 설정함.

■ PSW (D0h) : Program Status Word 레지스터

CY	AC	F0	RS1	RS0	OV	F1	P
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R(0)

- ◆ CY : 캐리 플래그.
- ◆ AC : 보조 캐리 플래그.
- ◆ F0 : 사용자 플래그 0.
- ◆ RS1, RS0 : 레지스터 뱅크 선택

[0,0]	: Bank 0	[1,0]	: Bank 2
[0,1]	: Bank 1	[1,1]	: Bank 3
- ◆ OV : 오버플로우 플래그.
- ◆ F1 : 사용자 플래그 1.
- ◆ P : 패리티 비트. ACC 기수 패리티에 따라 하드웨어에 의해 설정/소거.

Appendix B : SFR Description [D4h ~ DAh] (8/12)

■ P0TYPE (D4h) : Port 0 출력 방식 제어 레지스터

P0TYPE.7	P0TYPE.6	P0TYPE.5	P0TYPE.4	P0TYPE.3	P0TYPE.2	P0TYPE.1	P0TYPE.0
----------	----------	----------	----------	----------	----------	----------	----------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

◆ 0 = Push-pull 출력 (기본지정) / 1 = Open-drain 출력

■ P1TYPE (D5h) : Port 1 출력 방식 제어 레지스터

P1TYPE.7	P1TYPE.6	P1TYPE.5	P1TYPE.4	P1TYPE.3	P1TYPE.2	P1TYPE.1	P1TYPE.0
----------	----------	----------	----------	----------	----------	----------	----------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

◆ 0 = Push-pull 출력 (기본지정) / 1 = Open-drain 출력

■ P2TYPE (D6h) : Port 2 출력 방식 제어 레지스터

P2TYPE.7	P2TYPE.6	P2TYPE.5	P2TYPE.4	P2TYPE.3	P2TYPE.2	P2TYPE.1	P2TYPE.0
----------	----------	----------	----------	----------	----------	----------	----------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

◆ 0 = Push-pull 출력 (기본지정) / 1 = Open-drain 출력

■ P3TYPE (D7h) : Port 3 출력 방식 제어 레지스터

-	-	P3TYPE.5	P3TYPE.4	P3TYPE.3	P3TYPE.2	P3TYPE.1	P3TYPE.0
---	---	----------	----------	----------	----------	----------	----------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

◆ 0 = Push-pull 출력 (기본지정) / 1 = Open-drain 출력

■ WDCON (D8h) : Watchdog Timer 제어 레지스터

WD1	WD0	EPFI	PFI	WDIF	WTRF	EWT	RWT
-----	-----	------	-----	------	------	-----	-----

R/W(1) R/W(1) R/W(0) R/W(1) R/W(0) R/W(0) R/W(0) R/W(0)

- ◆ WD1, WD0 : Watchdog timer 모드 제어
 [0,0] : 1×2^{16} clocks (interrupt) + 256 clocks (reset)
 [0,1] : 4×2^{16} clocks (interrupt) + 256 clocks (reset)
 [1,0] : 16×2^{16} clocks (interrupt) + 256 clocks (reset)
 [1,1] : 32×2^{16} clocks (interrupt) + 256 clocks (reset)
- ◆ EPFI : Power-fail 인터럽트 인에이블.
- ◆ PFI : Power-fail 인터럽트 플래그.
- ◆ WDIF : Watchdog timer 인터럽트 플래그.
- ◆ WTRF : Watchdog timer reset 플래그. 소프트웨어에 의해 소거.
- ◆ EWT : Watchdog timer reset 인에이블.
- ◆ RWT : Restart watchdog timer.

■ ADCHL (D9h) : ADC 상위 채널 선택 하위 레지스터

ADCH7B	ADCH6B	ADCH5B	ADCH4B	ADCH3B	ADCH2B	ADCH1B	ADCH0B
--------	--------	--------	--------	--------	--------	--------	--------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ◆ ADCHXB = 0 : ADCHX 입력 인에이블 (디지털 입력 디세이블)

■ ADCHH (DAh) : ADC 상위 채널 선택 상위 레지스터

ADCH15B	ADCH14B	ADCH13B	ADCH12B	ADCH11B	ADCH10B	ADCH9B	ADCH8B
---------	---------	---------	---------	---------	---------	--------	--------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ◆ ADCHXB = 0 : ADCHX 입력 인에이블 (디지털 입력 디세이블)

Appendix B : SFR Description [DBh ~ E1h] (9/12)

■ ADCHSEL (DBh) : ADC 상위 채널 선택 레지스터

CH_SEL	-	-	-	CHH3	CHH2	CHH1	CHH0
R/W(0)				R/W(0)	R/W(0)	R/W(0)	R/W(0)

- ◆ CH_SEL : ADC MUX Selector with CHH[3:0] & CH[3:0].
0 = CH[3:0] → ADC[11:0] Enable / ADCH[15:0] Disable.
1 = CHH[3:0] → ADC[11:0] Disable / ADCH[15:0] Enable.
- ◆ CHH[3:0] : ADC MUX Selection for High Channel (ADCH[15:0])

0000b : ADCH0 selection (0h)	1000b : ADCH8 selection (8h)
0001b : ADCH1 selection (1h)	1001b : ADCH9 selection (9h)
0010b : ADCH2 selection (2h)	1010b : ADCH10 selection (Ah)
0011b : ADCH3 selection (3h)	1011b : ADCH11 selection (Bh)
0100b : ADCH4 selection (4h)	1100b : ADCH12 selection (Ch)
0101b : ADCH5 selection (5h)	1101b : ADCH13 selection (Dh)
0110b : ADCH6 selection (6h)	1110b : ADCH14 selection (Eh)
0111b : ADCH7 selection (7h)	1111b : ADCH15 selection (Fh)

■ PWMCON (DCh) : PWM Control Register

POSEL	PS2_P0	PS1_P0	PS0_P0	-	PWMF	CLR_P0	RUN_P0
R/W(0)	R/W(0)	R/W(0)	R/W(0)		R/W(0)	R/W(0)	R/W(0)

- ◆ POSEL : P0.6으로 PWM 파형 출력 인에이블.
- ◆ PS2_P0, PS1_P0, PS0_P0 : 클럭 선분주비 선택.
[0,0,0] = $F_{osc}/1$, [0,0,1] = $F_{osc}/2$, [0,1,0] = $F_{osc}/4$,
[0,1,1] = $F_{osc}/8$, [1,0,0] = $F_{osc}/16$,
[1,0,1] = $F_{osc}/32$,
[1,1,0] = $F_{osc}/64$, [1,1,1] = $F_{osc}/128$
* PWM 클럭 (F_{PWM})은 ADC에서 $F_{osc}/10$ 이 아니면 사용된다.
- ◆ PS2_P0, PS1_P0, PS0_P0 : Pre-scaled Clock Selection.
- ◆ POSEL : P0.6으로 PWM 파형 출력 인에이블.
- ◆ PWMF : PWM 인터럽트 플래그. 소프트웨어에 의해 소거.
- ◆ CLR_P0 : Counter Reset 인에이블. 하드웨어에 의해 소거.
- ◆ RUN_P0 : Counter Start 인에이블. PWM 클럭 (F_{PWM}) 출력 인에이블.

■ PWMD (DEh) : PWM Duty 데이터 레지스터

PWMD.7	PWMD.6	PWMD.5	PWMD.4	PWMD.3	PWMD.2	PWMD.1	PWMD.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

■ ACC/A (E0h) : Accumulator

ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

■ ADCSELH (E1h) : ADC 채널 선택 상위 레지스터

ADC11B	ADC10B	ADC9B	ADC8B	ADC7B	ADC6B	ADC5B	ADC4B
R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)

- ◆ ADC11B : 0 = ADC11 input enable & digital input disable at P2.4.
- ◆ ADC10B : 0 = ADC10 input enable & digital input disable at P2.3.
- ◆ ADC9B : 0 = ADC9 input enable & digital input disable at P2.4.
- ◆ ADC8B : 0 = ADC8 input enable & digital input disable at P2.5.
- ◆ ADC7B : 0 = ADC7 input enable & digital input disable at P2.6.
- ◆ ADC6B : 0 = ADC6 input enable & digital input disable at P0.7.
- ◆ ADC5B : 0 = ADC5 input enable & digital input disable at P0.6.
- ◆ ADC4B : 0 = ADC4 input enable & digital input disable at P0.5.

Appendix B : SFR Description [E2h ~ E6h] (10/12)

■ ADCSEL (E2h) : ADC Channel Selection Low & MUX Selection Register

ADC3B	ADC2B	ADC1B	ADC0B	CH3	CH2	CH1	CH0
-------	-------	-------	-------	-----	-----	-----	-----

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

- ◆ ADC3B : 0 = ADC3 input enable & digital input disable at P0.4.
- ◆ ADC2B : 0 = ADC2 input enable & digital input disable at P0.3.
- ◆ ADC1B : 0 = ADC1 input enable & digital input disable at P0.2.
- ◆ ADC0B : 0 = ADC0 input enable & digital input disable at P0.1.

◆ CH[3:0] : ADC MUX Selection.

[0,0,0,0] = ADC0 selection (0h)
 [0,0,0,1] = ADC1 selection (1h)
 [0,0,1,0] = ADC2 selection (2h)
 [0,0,1,1] = ADC3 selection (3h)
 [0,1,0,0] = ADC4 selection (4h)
 [0,1,0,1] = ADC5 selection (5h)
 [0,1,1,0] = ADC6 selection (6h)
 [0,1,1,1] = ADC7 selection (7h)
 [1,0,0,0] = ADC8 selection (8h)
 [1,0,0,1] = ADC9 selection (9h)
 [1,0,1,0] = ADC10 selection (Ah)
 [1,0,1,1] = ADC11 selection (Bh)

[1,1,0,0] = No ADC input select (Ch)
 [1,1,0,1] = No ADC input select (Dh)
 [1,1,1,0] = No ADC input select (Eh)
 [1,1,1,1] = No ADC input select (Fh, Default)

■ ALTSEL (E3h) : Alternate 기능 제어 레지스터

IOXEN	IORSTEN	CLO	PWMD0	TVO	TX	-	-
-------	---------	-----	-------	-----	----	---	---

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- ◆ IOXEN : 1 = XTAL와 XTAL2를 입출력으로 사용.
XTOFF (PMR.3) = 1이어야 함 (오실레이터 증폭기 꺼짐)
- ◆ IORSTEN : 1 = RESETB를 입출력으로 사용.
- ◆ CLO : 1 = 시스템 클럭을 P2.6으로 출력.
- ◆ PWMD0 : 1 = P0.0으로 PWM 파형 출력.
- ◆ TVO : 1 = P0.0로 Timer 0 오버플로우 클럭 출력.
- ◆ TX : 1 = P0.2로 UART TX 데이터 출력.
UART를 사용하려면 TX 비트를 설정해야 한다.

■ POSEL (E4h) : Port 0 Pull-up 제어 레지스터

POSEL.7	POSEL.6	POSEL.5	POSEL.4	POSEL.3	POSEL.2	POSEL.1	POSEL.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- ◆ 0 = Pull-up ON (기본지정)
- ◆ 1 = Pull-up OFF, ADC_EN (ADCON[7]) = 1일 때.

■ P1SEL (E5h) : Port 1 Pull-up 제어 레지스터

P1SEL.7	P1SEL.6	P1SEL.5	P1SEL.4	P1SEL.3	P1SEL.2	P1SEL.1	P1SEL.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(1) R/W(1)

- ◆ 0 = Pull-up ON (기본지정)
- ◆ 1 = Pull-up OFF, ADC_EN (ADCON[7]) = 1일 때.

■ P2SEL (E6h) : Port 2 Pull-up 제어 레지스터

P2SEL.7	P2SEL.6	P2SEL.5	P2SEL.4	P2SEL.3	P2SEL.2	P2SEL.1	P2SEL.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- ◆ 0 = Pull-up ON (기본지정)
- ◆ 1 = Pull-up OFF, ADC_EN (ADCON[7]) = 1일 때.

Appendix B : SFR Description [E7h ~ F0h] (11/12)

■ P3SEL (E7h) : Port 3 Pull-up 제어 레지스터

-	-	P3SEL.5	P3SEL.4	P3SEL.3	P3SEL.2	P3SEL.1	P3SEL.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- ◆ 0 = Pull-up ON (기본지정)
- ◆ 1 = Pull-up OFF, ADC_EN (ADCON[7]) = 1일 때.

■ EIE (E8h) : 확장된 인터럽트 인에이블 레지스터

-	-	EPWM	EWDT	EI2C_S	EI2C_M	EX3	EX2
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

- ◆ EPWM : PWM 인터럽트 인에이블.
- ◆ EWDT : Watchdog 인터럽트 인에이블.
- ◆ EI2C_S : I²C slave 인터럽트 인에이블.
- ◆ EI2C_M : I²C master 인터럽트 인에이블.
- ◆ EX3 : External 3 인터럽트 인에이블.
- ◆ EX2 : External 2 인터럽트 인에이블.

■ ADCR (EEh) : ADC 결과 상위 레지스터: Value[9:2]

SAR9	SAR8	SAR7	SAR6	SAR5	SAR4	SAR3	SAR2
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

■ ADCON (EFh) : ADC 제어 & ADC 결과 하위 레지스터: Value[1:0]

AD_EN	AD_REQ	AD_END	ADCF	-	ADIV	SAR1	SAR0
R/W(0)	R/W(0)	R(1)	R/W(0)		R/W(0)	R/W(0)	R/W(0)

- ◆ AD_EN : AD 변환 인에이블.
- ◆ AD_REQ : AD 변환 요구.
AD_END가 0에서 1로 변할 때, 하드웨어에 의해 소거됨.
- ◆ AD_END : 현재 ADC 상태.
0 = ADC가 동작 중.
사용자는 AD_END 대신에 ADCF를 확인해야 함.
- ◆ ADCF : ADC 인터럽트 플래그.
소프트웨어에 의해 소거되어야 함.
- ◆ ADIV : ADC 입력 클럭 (F_{ADC}) 선택.
0 = 시스템 클럭 (F_{OSC}) / 2. (기본지정)
1 = PWM 입력 클럭 (F_{PWM})
PWM Clock이 $F_{OSC}/10$ 이 아니면 사용할 수 있다.
- ◆ SAR[1:0] : ADC 결과값의 하위 두 비트.

■ B (F0h) : B 레지스터

B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)

Appendix B : SFR Description [F4h ~ FFh] (12/12)

■ PODIR (F4h) : Port 0 입출력 제어 레지스터

P0DIR.7	P0DIR.6	P0DIR.5	P0DIR.4	P0DIR.3	P0DIR.2	P0DIR.1	P0DIR.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

◆ 1 = 입력 (기본지정) / 0 = 출력

■ P1DIR (F5h) : Port 1 입출력 제어 레지스터

P1DIR.7	P1DIR.6	P1DIR.5	P1DIR.4	P1DIR.3	P1DIR.2	P1DIR.1	P1DIR.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

◆ 1 = 입력 (기본지정) / 0 = 출력

■ P2DIR (F6h) : Port 2 입출력 제어 레지스터

P2DIR.7	P2DIR.6	P2DIR.5	P2DIR.4	P2DIR.3	P2DIR.2	P2DIR.1	P2DIR.0
---------	---------	---------	---------	---------	---------	---------	---------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

◆ 1 = 입력 (기본지정) / 0 = 출력

■ P3DIR (F7h) : Port 3 입출력 제어 레지스터

-	-	P3DIR.5	P3DIR.4	P3DIR.3	P3DIR.2	P3DIR.1	P3DIR.0
---	---	---------	---------	---------	---------	---------	---------

R/W(1) R/W(1) R/W(1) R/W(1) R/W(1) R/W(1)

◆ 1 = 입력 (기본지정) / 0 = 출력

■ EIP (F8h) : 확장된 인터럽트 우선순위 레지스터

-	-	PPWM	PWDT	PI2C_S	PI2C_M	PX3	PX2
---	---	------	------	--------	--------	-----	-----

R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0) R/W(0)

- ◆ PPWM : PWM 인터럽트 우선순위 비트.
- ◆ PWDT : Watchdog timer 인터럽트 우선순위 비트.
- ◆ PI2C_S : I²C slave 인터럽트 우선순위 비트.
- ◆ PI2C_M : I²C master 인터럽트 우선순위 비트.
- ◆ PX3 : External interrupt 3 우선순위 비트.
- ◆ PX2 : External interrupt 2 우선순위 비트.

■ EEAEN (FFh) : EEPROM 접근 인에이블

-	-	-	-	-	-	-	EAEN
---	---	---	---	---	---	---	------

R/W(0)

- ◆ EAEN = 1, EEPROM 접근 인에이블.

Appendix C : Update History

◆ V1.0

- ✓ First Release.

◆ V1.3

- ✓ Update I²C Spec.

◆ V1.4

- ✓ Update I²C Spec.
- ✓ Update the External Reset slide.
- ✓ Update the 'IAP: Function Set' slide.
- ✓ Update the 'On-Chip POR' slide.
- ✓ Update the Product Numbering System
- ✓ Add a Package Type
 - 28 - SOIC

◆ V1.5

- ✓ Modify the Supply Voltage.
 - 2.4V ~ 5.5V
- ✓ Modify the Operating Temperature.
 - -40 °C to 120 °C

◆ V1.6

- ✓ Add on the Power Slope slide.

◆ V1.7

- ✓ Modify the Supply Voltage.
 - 2.2V ~ 5.5V

◆ V1.8

- ✓ Update stop current spec.
- ✓ Add on 32-QFN package